

日本国特許庁
JAPAN PATENT OFFICE

2PVS-3357
11000 U.S. PRO
09/974796
10/12/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 3月30日

出願番号
Application Number:

特願2001-098349

出願人
Applicant(s):

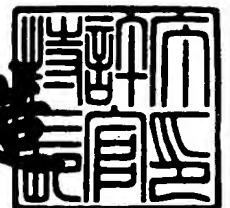
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3073000

【書類名】 特許願

【整理番号】 EP-0301201

【提出日】 平成13年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 阿部 彰

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 神原 義幸

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 笠原 昌一郎

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大 瀨 美 千 栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2000-319722

【出願日】 平成12年10月19日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック生成回路、データ転送制御装置及び電子機器

【特許請求の範囲】

【請求項 1】 クロックを生成する回路であって、

前段の第 K ($1 \leq K \leq N - 1$) の反転回路の出力が後段の第 $K + 1$ の反転回路の入力に接続され、第 N の反転回路の出力が帰還ラインを介して第 1 の反転回路の入力に接続される第 1 ～第 N の反転回路と、

第 1 ～第 N の反転回路の出力が入力に接続される第 1 ～第 N のバッファ回路とを含み、

前記第 1 ～第 N の反転回路が、前記帰還ラインに平行な第 1 の行に沿って配置され、

前記第 1 ～第 N のバッファ回路が、前記帰還ラインに平行な行であり且つ前記第 1 の行とは異なる行である第 2 の行に沿って配置されることを特徴とするクロック生成回路。

【請求項 2】 請求項 1 において、

前記帰還ラインが、前記第 1 ～第 N の反転回路が配置される領域と前記第 1 ～第 N のバッファ回路が配置される領域との間の領域に配置されることを特徴とするクロック生成回路。

【請求項 3】 請求項 1 又は 2 において、

前記第 1 ～第 N の反転回路が、差動出力の反転回路であり、

前記第 1 ～第 N のバッファ回路が、前記第 1 ～第 N の反転回路の差動出力が入力される差動入力バッファ回路であり、

前記帰還ラインが、前記第 N の反転回路の差動出力に接続される帰還ラインペアを含み、

前記帰還ラインペアが、前記第 1 ～第 N の反転回路が配置される領域と前記第 1 ～第 N のバッファ回路が配置される領域との間の領域に配置されることを特徴とするクロック生成回路。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記第 1 ～第 $N - 1$ の各反転回路の出力に対して、前記第 N の反転回路の出力に接続される前記帰還ラインと同等の寄生容量を有する第 1 ～第 $N - 1$ の各ダミーラインが接続されることを特徴とするクロック生成回路。

【請求項 5】 請求項 4 において、

前記帰還ライン及び前記第 1 ～第 $N - 1$ のダミーラインが、前記第 1 ～第 N の反転回路が配置される領域と前記第 1 ～第 N のバッファ回路が配置される領域との間の領域に配置されることを特徴とするクロック生成回路。

【請求項 6】 請求項 4 又は 5 において、

前記第 1 ～第 N の反転回路が、差動出力の反転回路であり、

前記第 1 ～第 N のバッファ回路が、前記第 1 ～第 N の反転回路の差動出力が入力される差動入力のバッファ回路であり、

前記帰還ラインが、前記第 N の反転回路の差動出力に接続される帰還ラインペアを含み、

前記第 1 ～第 $N - 1$ のダミーラインが、前記第 1 ～第 $N - 1$ の反転回路の差動出力に接続される第 1 ～第 $N - 1$ のダミーラインペアを含み、

前記帰還ラインペア及び前記第 1 ～第 $N - 1$ のダミーラインペアが、前記第 1 ～第 N の反転回路が配置される領域と前記第 1 ～第 N のバッファ回路が配置される領域との間の領域に配置されることを特徴とするクロック生成回路。

【請求項 7】 クロックを生成する回路であって、

前段の第 K ($1 \leq K \leq N - 1$) の反転回路の出力が後段の第 $K + 1$ の反転回路の入力に接続され、第 N の反転回路の出力が帰還ラインを介して第 1 の反転回路の入力に接続される第 1 ～第 N の反転回路と、

第 1 ～第 N の反転回路の出力が入力に接続される第 1 ～第 N のバッファ回路とを含み、

前記第 1 ～第 $N - 1$ の各反転回路の出力に対して、前記第 N の反転回路の出力に接続される前記帰還ラインと同等の寄生容量を有する第 1 ～第 $N - 1$ の各ダミーラインが接続されることを特徴とするクロック生成回路。

【請求項 8】 請求項 1 乃至 7 のいずれかにおいて、

前記第 1 ～第 N のバッファ回路の出力に基づいて得られる第 1 ～第 N のクロッ

クのエッジの中のいずれのエッジ間にデータのエッジがあるかを検出するエッジ検出回路と、

前記エッジ検出回路でのエッジ検出情報に基づいて、前記第 1 ～ 第 N のクロックの中からいずれかのクロックを選択し、選択したクロックを、データをサンプリングするためのサンプリングクロックとして出力するクロック選択回路とを含むことを特徴とするクロック生成回路。

【請求項 9】 請求項 8 において、

前記第 1 ～ 第 N のクロックのラインに寄生する容量が同等になるように、前記第 1 ～ 第 N のクロックのラインが配線されることを特徴とするクロック生成回路。

【請求項 10】 請求項 8 又は 9 において、

前記エッジ検出回路が、

データを第 1 のクロックで保持する第 1 の保持回路と・・・データを第 J ($1 < J < N$) のクロックで保持する第 J の保持回路と・・・データを第 N のクロックで保持する第 N の保持回路を含み、

前記第 1 ～ 第 N の保持回路が、前記第 1 ～ 第 N のクロックのラインに平行な行に沿って配置され、

前記第 1 ～ 第 N のクロックのラインが、第 1 ～ 第 N の折り返し地点で反対方向に折り返された後に、前記第 1 ～ 第 N 保持回路の入力に接続され、

前記第 1 ～ 第 N のクロックのラインに寄生する容量が同等になる場所に、前記第 1 ～ 第 N の折り返し地点が設けられることを特徴とするクロック生成装置。

【請求項 11】 請求項 8 乃至 10 のいずれかにおいて、

前記エッジ検出回路が、

データを第 1 のクロックで保持する第 1 の保持回路と・・・データを第 J ($1 < J < N$) のクロックで保持する第 J の保持回路と・・・データを第 N のクロックで保持する第 N の保持回路と、

第 1、第 2 の保持回路に保持されたデータに基づいて、第 1、第 2 のクロックのエッジ間にデータのエッジがあるか否かを検出する第 1 の検出回路と・・・第 J、第 J + 1 の保持回路に保持されたデータに基づいて、第 J、第 J + 1 のク

ロックのエッジ間にデータのエッジがあるか否かを検出する第 J の検出回路と・
 ・ ・ ・ 第 N、第 1 の保持回路に保持されたデータに基づいて、第 N、第 1 のクロ
 ックのエッジ間にデータのエッジがあるか否かを検出する第 N の検出回路とを含
 み、

前記クロック選択回路が、

前記第 1 ～第 N の検出回路でのエッジ検出情報に基づいて、前記第 1 ～第 N の
 クロックの中からいずれかのクロックを選択し、選択したクロックをサンプリン
 グクロックとして出力することを特徴とするクロック生成回路。

【請求項 1 2】 請求項 1 1 において、

前記第 1 ～第 N の保持回路のセットアップタイムを T_S 、ホールドタイムを T_H 、第 1 ～第 N のクロックの周期を T とした場合に、第 1 ～第 N のクロックのク
 ロック数 N を、 $N \leq [T / (T_S + T_H)]$ ($[X]$ は X を越えない最大の整数
) としたことを特徴とするクロック生成回路。

【請求項 1 3】 請求項 1 2 において、

クロック数 N を、 $N = [T / (T_S + T_H)]$ ($[X]$ は X を越えない最大の
 整数) としたことを特徴とするクロック生成回路。

【請求項 1 4】 請求項 1 1 乃至 1 3 のいずれかにおいて、

第 1 ～第 N のクロックのクロック数 N を、 $N = 5$ としたことを特徴とするクロ
 ック生成回路。

【請求項 1 5】 請求項 8 乃至 1 4 のいずれかにおいて、

前記クロック選択回路が、

データのエッジから所与の設定数 M だけずれたエッジを有するクロックを第 1
 ～第 N のクロックの中から選択し、選択したクロックをサンプリングクロックと
 して出力することを特徴とするクロック生成回路。

【請求項 1 6】 請求項 1 5 において、

生成されたサンプリングクロックに基づいてデータを保持する回路のセットア
 ップタイム、ホールドタイムが確保される数に、前記設定数 M が設定されている
 ことを特徴とするクロック生成回路。

【請求項 1 7】 バスを介したデータ転送のためのデータ転送制御装置であ

って、

請求項 1 乃至 1 6 のいずれかのクロック生成回路と、

前記クロック生成回路で生成されたサンプリングクロックに基づいてデータを保持し、保持されたデータに基づいて、データ転送のための所与の処理を行う回路と、

を含むことを特徴とするデータ転送制御装置。

【請求項 1 8】 請求項 1 7 において、

U S B (Universal Serial Bus) の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

【請求項 1 9】 請求項 1 7 又は 1 8 のデータ転送制御装置と、

前記データ転送制御装置及び前記バスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置と、

を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、クロック生成回路、データ転送制御装置及び電子機器に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

近年、パーソナルコンピュータと周辺機器（広義には電子機器）とを接続するためのインターフェース規格として、U S B (Universal Serial Bus) が注目を集めている。この U S B には、従来は別々の規格のコネクタで接続されていたマウスやキーボードやプリンタなどの周辺機器を、同じ規格のコネクタで接続できると共にいわゆるプラグ&プレイやホットプラグも実現できるという利点がある。

【0 0 0 3】

一方、この U S B には、同じくシリアルバスインターフェース規格として脚光を浴びている I E E E 1 3 9 4 に比べて、転送速度が遅いという問題点がある。

【0 0 0 4】

そこで、従来のUSB 1. 1の規格に対する下位互換性を持ちながら、USB 1. 1に比べて格段に高速な480Mbps（HSモード）のデータ転送速度を実現できるUSB 2. 0規格が策定され、注目を浴びている。また、USB 2. 0の物理層回路や論理層回路のインターフェース仕様を定義したUTMI（USB2. 0 Transceiver Macrocell Interface）も策定されている。

【0005】

さて、このUSB 2. 0では、HS（High Speed）モード時には480Mbpsでデータ転送が行われるため、高速な転送速度が要求されるハードディスクドライブや光ディスクドライブなどのストレージ機器のインターフェースとして用いることができるという利点がある。

【0006】

しかしながら、このHSモードでのデータ転送時には、転送データのサンプリングのために、480MHzという高い周波数のクロックを生成する必要がある。このため、クロック生成回路の設計が容易ではないという課題がある。

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、高い周波数のクロックを簡素な回路構成で生成できるクロック生成回路、及びこれを用いたデータ転送制御装置、電子機器を提供することにある。

【0008】

【課題を解決するための手段】

上記課題を解決するために本発明は、クロックを生成する回路であって、前段の第K（ $1 \leq K \leq N-1$ ）の反転回路の出力が後段の第K+1の反転回路の入力に接続され、第Nの反転回路の出力が帰還ラインを介して第1の反転回路の入力に接続される第1～第Nの反転回路と、第1～第Nの反転回路の出力が入力に接続される第1～第Nのバッファ回路とを含み、前記第1～第Nの反転回路が、前記帰還ラインに平行（ほぼ平行な場合を含む）な第1の行に沿って配置され、前記第1～第Nのバッファ回路が、前記帰還ラインに平行（ほぼ平行な場合を含む）な行であり且つ前記第1の行とは異なる行である第2の行に沿って配置される

ことを特徴とする。

【 0 0 0 9 】

本発明によれば、第N（奇数段）の反転回路の出力を帰還ラインを介して第1の反転回路に入力することで、発振回路が構成され、所与の周波数のクロックを生成できる。また、第1～第Nの反転回路の出力を第1～第Nのバッファ回路でバッファリングすることで、周波数が同一で位相が異なる多相のクロックを得ることが可能になる。

【 0 0 1 0 】

そして本発明では、第1～第Nの反転回路は第1の行に沿って配置される一方で、第1～第Nのバッファ回路は、第1の行とは異なる第2の行に沿って配置される。これにより、第1～第Nの反転回路と第1～第Nのバッファ回路とを同一の行に沿って配置する手法に比べて、帰還ラインの長さを短くすることが可能になる。この結果、高い周波数のクロックを生成したり、均等な位相差の多相のクロックを生成できるようになる。

【 0 0 1 1 】

また本発明は、前記帰還ラインが、前記第1～第Nの反転回路が配置される領域と前記第1～第Nのバッファ回路が配置される領域との間の領域に配置されることを特徴とする。

【 0 0 1 2 】

このようにすれば、第Nの反転回路と第Nのバッファ回路を接続するラインを帰還ラインで代用できるようになり、第Nの反転回路の出力に余分な寄生容量が付加されるのを防止できる。

【 0 0 1 3 】

また本発明は、前記第1～第Nの反転回路が、差動出力の反転回路であり、前記第1～第Nのバッファ回路が、前記第1～第Nの反転回路の差動出力が入力される差動入力のバッファ回路であり、前記帰還ラインが、前記第Nの反転回路の差動出力に接続される帰還ラインペアを含み、前記帰還ラインペアが、前記第1～第Nの反転回路が配置される領域と前記第1～第Nのバッファ回路が配置される領域との間の領域に配置されることを特徴とする。

【 0 0 1 4 】

このようにすれば、第Nの反転回路と第Nのバッファ回路を接続するラインペアを帰還ラインペアで代用できるようになり、第Nの反転回路の出力に余分な寄生容量が付加されるのを防止できる。

【 0 0 1 5 】

また本発明は、前記第1～第N-1の各反転回路の出力に対して、前記第Nの反転回路の出力に接続される前記帰還ラインと同等（ほぼ同等の場合を含む）の寄生容量を有する第1～第N-1の各ダミーラインが接続されることを特徴とする。

【 0 0 1 6 】

このようにすれば、第1～第N-1の反転回路の出力に寄生する容量と、第Nの反転回路の出力に寄生する容量とを同等（ほぼ同等の場合を含む）にすることが可能になり、位相差が均等な多相のクロックを生成することが可能になる。

【 0 0 1 7 】

また本発明は、前記帰還ライン及び前記第1～第N-1のダミーラインが、前記第1～第Nの反転回路が配置される領域と前記第1～第Nのバッファ回路が配置される領域との間の領域に配置されることを特徴とする。

【 0 0 1 8 】

このようにすれば、第1～第Nの反転回路の出力に寄生する容量の均等化を、容易に実現できるようになる。

【 0 0 1 9 】

また本発明は、前記第1～第Nの反転回路が、差動出力の反転回路であり、前記第1～第Nのバッファ回路が、前記第1～第Nの反転回路の差動出力が入力される差動入力バッファ回路であり、前記帰還ラインが、前記第Nの反転回路の差動出力に接続される帰還ラインペアを含み、前記第1～第N-1のダミーラインが、前記第1～第N-1の反転回路の差動出力に接続される第1～第N-1のダミーラインペアを含み、前記帰還ラインペア及び前記第1～第N-1のダミーラインペアが、前記第1～第Nの反転回路が配置される領域と前記第1～第Nのバッファ回路が配置される領域との間の領域に配置されることを特徴とする。

【 0 0 2 0 】

このようにすれば、差動出力の第 1 ～ 第 N の反転回路の出力に寄生する容量の均等化を、容易に実現できるようになる。

【 0 0 2 1 】

また本発明は、クロックを生成する回路であって、前段の第 K ($1 \leq K \leq N - 1$) の反転回路の出力が後段の第 K + 1 の反転回路の入力に接続され、第 N の反転回路の出力が帰還ラインを介して第 1 の反転回路の入力に接続される第 1 ～ 第 N の反転回路と、第 1 ～ 第 N の反転回路の出力が入力に接続される第 1 ～ 第 N のバッファ回路とを含み、前記第 1 ～ 第 N - 1 の各反転回路の出力に対して、前記第 N の反転回路の出力に接続される前記帰還ラインと同等（ほぼ同等の場合を含む）の寄生容量を有する第 1 ～ 第 N - 1 の各ダミーラインが接続されることを特徴とする。

【 0 0 2 2 】

本発明によれば、第 N（奇数段）の反転回路の出力を帰還ラインを介して第 1 の反転回路に入力することで、発振回路が構成され、所与の周波数のクロックを生成できる。また、第 1 ～ 第 N の反転回路の出力を第 1 ～ 第 N のバッファ回路でバッファリングすることで、周波数が同一で位相が異なる多相のクロックを得ることが可能になる。

【 0 0 2 3 】

そして本発明では、第 1 ～ 第 N - 1 の反転回路の出力に、寄生容量を均等化するための第 1 ～ 第 N - 1 のダミーラインが接続される。これにより、第 1 ～ 第 N - 1 の反転回路の出力に寄生する容量と、第 N の反転回路の出力に寄生する容量とを同等（ほぼ同等の場合を含む）にすることが可能になり、位相差が均等な多相のクロックを生成することが可能になる。

【 0 0 2 4 】

また本発明は、前記第 1 ～ 第 N のバッファ回路の出力に基づいて得られる第 1 ～ 第 N のクロックのエッジの中のいずれのエッジ間にデータのエッジがあるかを検出するエッジ検出回路と、前記エッジ検出回路でのエッジ検出情報に基づいて、前記第 1 ～ 第 N のクロックの中からいずれかのクロックを選択し、選択したク

ロックを、データをサンプリングするためのサンプリングクロックとして出力するクロック選択回路とを含むことを特徴とする。

【 0 0 2 5 】

本発明によれば、多相の第1～第Nのクロックのエッジの中のいずれのエッジ間にデータのエッジがあるのかが検出される。例えば、データのエッジが、第1、第2のクロックのエッジ間にあるのか、第2、第3のクロックのエッジ間にあるのか等が検出される。そして、得られたエッジ検出情報（どのクロックのエッジ間にデータのエッジがあるのかを示す情報）に基づいて、第1～第Nのクロックの中からいずれかのクロックが選択され、そのクロックがサンプリングクロックとして出力される。

【 0 0 2 6 】

このように本発明によれば、エッジ検出情報に基づいて第1～第Nのクロックの中からクロックを選択するという簡素な構成で、データのサンプリングクロックを生成できる。従って、高速なクロックに同期して入力されるデータであっても、そのデータをサンプリングするための適正なサンプリングクロックを、小規模な回路構成で生成できるようになる。

【 0 0 2 7 】

また本発明は、前記第1～第Nのクロックのラインに寄生する容量が同等（ほぼ同等の場合を含む）になるように、前記第1～第Nのクロックのラインが配線されることを特徴とする。

【 0 0 2 8 】

このようにすれば、第1～第Nのクロック間の位相差を均等化することが可能となり、適正なサンプリングクロックを生成できるようになる。

【 0 0 2 9 】

また本発明は、前記エッジ検出回路が、データを第1のクロックで保持する第1の保持回路と・・・データを第J（ $1 < J < N$ ）のクロックで保持する第Jの保持回路と・・・データを第Nのクロックで保持する第Nの保持回路を含み、前記第1～第Nの保持回路が、前記第1～第Nのクロックのラインに平行（ほぼ平行な場合を含む）な行に沿って配置され、前記第1～第Nのクロックのライ

ンが、第 1 ～ 第 N の折り返し地点で反対方向に折り返された後に、前記第 1 ～ 第 N 保持回路の入力に接続され、前記第 1 ～ 第 N のクロックのラインに寄生する容量が同等（ほぼ同等の場合を含む）になる場所に、前記第 1 ～ 第 N の折り返し地点が設けられることを特徴とする。

【 0 0 3 0 】

このようにすれば、第 1 ～ 第 N の折り返し地点の場所の設定だけで、第 1 ～ 第 N のクロックのラインに寄生する容量を同等にできるようになる。また、第 1 ～ 第 N のクロックのラインの折り返し回数についても同等にできるようになり、第 1 ～ 第 N のクロックのラインに寄生する容量の差を、更に小さくすることが可能になる。

【 0 0 3 1 】

また本発明は、前記エッジ検出回路が、データを第 1 のクロックで保持する第 1 の保持回路と・・・データを第 J ($1 < J < N$) のクロックで保持する第 J の保持回路と・・・データを第 N のクロックで保持する第 N の保持回路と、第 1、第 2 の保持回路に保持されたデータに基づいて、第 1、第 2 のクロックのエッジ間にデータのエッジがあるか否かを検出する第 1 の検出回路と・・・第 J、第 J + 1 の保持回路に保持されたデータに基づいて、第 J、第 J + 1 のクロックのエッジ間にデータのエッジがあるか否かを検出する第 J の検出回路と・・・第 N、第 1 の保持回路に保持されたデータに基づいて、第 N、第 1 のクロックのエッジ間にデータのエッジがあるか否かを検出する第 N の検出回路とを含み、前記クロック選択回路が、前記第 1 ～ 第 N の検出回路でのエッジ検出情報に基づいて、前記第 1 ～ 第 N のクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力することを特徴とする。

【 0 0 3 2 】

このようにすれば、第 1 ～ 第 N の保持回路と第 1 ～ 第 N の検出回路を設けるだけという簡素な構成で、どのクロックのエッジ間にデータのエッジがあるのかを検出できるようになる。

【 0 0 3 3 】

また本発明は、前記第 1 ～ 第 N の保持回路のセットアップタイムを T S、ホー

ルドタイムを T_H 、第1～第 N のクロックの周期を T とした場合に、第1～第 N のクロックのクロック数 N を、 $N \leq [T / (T_S + T_H)]$ （ $[X]$ は X を越えない最大の整数）としたことを特徴とする。

【0034】

このようにすれば、第1～第 N の保持回路で保持されるデータが不定になった場合にも、適正なエッジ検出情報を得ることが可能になる。

【0035】

また本発明は、クロック数 N を、 $N = [T / (T_S + T_H)]$ （ $[X]$ は X を越えない最大の整数）としたことを特徴とする。

【0036】

このようにすれば、適正なエッジ検出情報を得ることができるクロック数 N の範囲内で、 N を最大の数にすることができ、クロック選択手段で選択できるクロックの選択枝の範囲を広めることができる。

【0037】

また本発明は、第1～第 N のクロックのクロック数 N を、 $N = 5$ としたことを特徴とする。

【0038】

このように $N = 5$ とすれば、データのエッジから例えば2～4個ずれたエッジを持つクロックをサンプリングクロックとして選択できるようになり、クロックの選択枝として十分な範囲の選択枝を確保できるようになる。また、第1～第 N （ $= 5$ ）のクロックを、PLL回路の発振回路が有する反転回路の出力から得る場合には、反転回路の段数を5段にすることができ、高い周波数でPLL回路の発振回路を発振させることができる。この結果、高周波数のサンプリングクロックを得ることが可能になる。

【0039】

また本発明は、前記クロック選択回路が、データのエッジから所与の設定数 M だけずれたエッジを有するクロックを第1～第 N のクロックの中から選択し、選択したクロックをサンプリングクロックとして出力することを特徴とする。

【0040】

このようにすれば、後段の回路がクロック生成回路で生成されたサンプリングクロックを直接に用いないでデータをサンプリングするような場合にも、後段の回路の構成に応じた適正なサンプリングクロックを後段の回路に提供できるようになる。

【 0 0 4 1 】

また本発明は、生成されたサンプリングクロックに基づいてデータを保持する回路のセットアップタイム、ホールドタイムが確保される数に、前記設定数Mが設定されていることを特徴とする。

【 0 0 4 2 】

このようにすれば、後段の回路でのデータのサンプリングエラーを防止できるようになり、信頼性を向上できる。

【 0 0 4 3 】

また本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、上記のいずれかのクロック生成回路と、前記クロック生成回路で生成されたサンプリングクロックに基づいてデータを保持し、保持されたデータに基づいて、データ転送のための所与の処理を行う回路とを含むことを特徴とする。

【 0 0 4 4 】

本発明によれば、バスを介して転送されるデータを確実にサンプリングできるサンプリングクロックを生成できるようになるため、データ転送の信頼性を高めることができる。また、高速な転送速度で転送されるデータも確実にサンプリングできるようになるため、高速バスの規格にも対応できるデータ転送制御装置を実現できる。

【 0 0 4 5 】

また本発明は、U S B (Universal Serial Bus)の規格に準拠したデータ転送を行うことを特徴とする。このようにすれば、例えばU S B 2 . 0で規格化されたH Sモードでのデータ転送等についても適正に実現できるようになる。

【 0 0 4 6 】

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及び前記バスを介して転送されるデータの出力処理又は取り

込み処理又は記憶処理を行う装置とを含むことを特徴とする。

【 0 0 4 7 】

本発明によれば、電子機器に使用されるデータ転送制御装置の低コスト化、信頼性の向上を図れるため、電子機器の低コスト化、信頼性の向上も図れるようになる。また、本発明によれば、高速な転送モードでデータ転送を行うことができるようになるため、電子機器の処理の高速化を図れるようになる。

【 0 0 4 8 】

【発明の実施の形態】

以下、本実施形態について図面を用いて詳細に説明する。

【 0 0 4 9 】

なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を何ら限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【 0 0 5 0 】

1. クロック生成回路

1. 1 クロック生成回路の構成

図 1 に、本実施形態のクロック生成回路の構成例を示す。

【 0 0 5 1 】

このクロック生成回路は、反転回路 I V 0 ~ I V 4 とバッファ回路 B F 0 ~ B F 4 を含む。

【 0 0 5 2 】

ここで、反転回路 I V 0 ~ 4 は、前段の反転回路の出力が後段の反転回路に入力されるように接続されると共に、最終段の反転回路 I V 4 の出力が帰還ライン F L (帰還配線) を介して先頭の反転回路 I V 0 の入力されるように接続される。このように、奇数段 (N 個) の反転回路を直列接続すると共に最終段の反転回路の出力を先頭の反転回路に帰還することで、反転回路の信号遅延値に応じた周波数のクロックを生成する発振回路を構成できる。

【 0 0 5 3 】

また、図 1 では各反転回路 I V 0 ~ 4 の出力が各バッファ回路 B F 0 ~ 4 の入

力に接続される。このようなバッファ回路 B F 0 ~ 4 を設けることで、バッファ回路 B F 0 ~ 4 の出力 C K 0 ~ 4 を多相のクロック（周波数が同一で位相が異なるクロック）として利用できるようになる。

【 0 0 5 4 】

なお、図 1 では、反転回路の個数が 5 個（ $N = 5$ ）となっているが、5 個より少なくしたり、5 個より多くしてもよい。

【 0 0 5 5 】

また、反転回路は、少なくとも入力と位相が反転した信号を出力するものであればよく、シングル入力・シングル出力の反転回路、差動入力・差動出力の反転回路などの種々の構成のものを採用できる。

【 0 0 5 6 】

また、バッファ回路は、少なくとも反転回路の出力をバッファリング（反転してバッファリング或いは正転してバッファリング）するものであればよく、シングル入力・シングル（エンド）出力のバッファ回路、差動入力・差動出力のバッファ回路、差動入力・シングル出力のバッファ回路などの種々の構成のものを採用できる。

【 0 0 5 7 】

また、図 1 のクロック生成回路を P L L（Phase Locked Loop）の V C O（Voltage Controlled Oscillator）等として用いる場合は、電圧（電流でもよい）により信号遅延値が制御されるような構成の反転回路を採用できる。

【 0 0 5 8 】

1. 2 クロック生成回路の配置

さて、本実施形態では図 1 に示すようなクロック生成回路を図 2（A）に示すように配置（レイアウト）している。

【 0 0 5 9 】

即ち図 2（A）では、反転回路 I V 0 ~ 4（反転回路の回路パターン、回路レイアウト）は、帰還ライン F L に平行な行 L N 1（第 1 の行）に沿って配置される。一方、バッファ回路 B F 0 ~ 4 は、帰還ライン F L に平行な行ではあるが、L N 1 とは異なる行である L N 2（第 2 の行）に沿って配置される。即ち L N 1

に沿って配置される反転回路 I V 0 ~ 4 の上側（或いは下側）にバッファ回路 B F 0 ~ 4 が配置される。このような配置にすることで、帰還ライン F L の長さを短くすることができ、帰還ライン F L の寄生容量を小さくできる。これにより、クロック生成回路の発振周波数を高くすることが可能となり、高い周波数のクロックを得ることが可能になる。

【 0 0 6 0 】

例えば図 2（B）に本実施形態の比較例となる配置手法（レイアウト手法）を示す。図 2（B）では、反転回路 I V 0 の隣にバッファ回路 B F 0、その隣に I V 1、その隣に B F 1 というように配置されている。即ち、反転回路 I V 0 ~ 4 とバッファ回路 B F 0 ~ 4 が同じ行に沿って配置されている。

【 0 0 6 1 】

この配置手法では、図 2（B）から明らかなように、帰還ライン F L の長さが図 2（A）に比べて長くなってしまい、F L の寄生容量が増えてしまう（例えば 2 倍程度になる）。従って、図 2（A）と比較すると、高い周波数のクロックを得ることが難しくなるという問題点がある。

【 0 0 6 2 】

本実施形態によれば、同じ回路構成であっても、回路配置を図 2（A）に示すように工夫することで、クロック生成回路の発振周波数を高くできる。これにより例えば U S B 2 . 0 で要求されるような高周波数（4 8 0 M H z）のクロックも容易に生成できるようになる。より具体的には、バッファ回路 B F 0 ~ 4 の出力 C K 0 ~ 4（周波数が同一で位相が異なる多相のクロック）を利用して、4 8 0 M b s の転送データをサンプリングするためのサンプリングクロックを生成できるようになる。

【 0 0 6 3 】

特に、サンプリングクロックの生成のために用いる多相のクロックでは、クロック間の位相差（信号遅延値の差）がなるべく均等であることが望ましい。

【 0 0 6 4 】

しかしながら、図 2（B）の配置手法では、帰還ライン F L が長くなるため、その分だけ、反転回路 I V 4 の出力の寄生容量が他の反転回路 I V 0 ~ 3 に比べ

て増えてしまう。従って、クロック間の位相差のずれが大きくなってしまう。

【 0 0 6 5 】

これに対して図 2 (A) の本実施形態の配置手法では、帰還ライン F L の寄生容量を少なくできるため、図 2 (B) に比べてクロック間の位相差を、より均等にできる。

【 0 0 6 6 】

例えば微細加工が可能な最新の半導体プロセスを用いれば、配置手法をそれほど工夫しなくても、4 8 0 M H z というような高周波数のクロックを生成できる可能性はある。

【 0 0 6 7 】

しかしながら、クロック生成回路をマクロセル化して、A S I C (Application Specific Integrated Circuit) などに利用する場合には、コストとの兼ね合いから、このような最新の半導体プロセスではなく、通常の半導体プロセスを採用する方が望ましい。また、アナログ回路とデジタル回路が混載されるような集積回路装置では、回路素子の耐圧などが問題となって、微細加工が可能な最新の半導体プロセスを採用できない場合もある。

【 0 0 6 8 】

図 2 (A) に示す本実施形態の配置手法によれば、このような最新の半導体プロセスを利用しなくても、高周波数のクロックを生成できるようになり、製造コストの低下等を図れる。

【 0 0 6 9 】

1. 3 帰還ラインの配置

さて、図 2 (A) では、帰還ライン F L が反転回路 I V 0 ~ 4 の下側に配置されている。

【 0 0 7 0 】

しかしながら図 3 に示すように、帰還ライン F L は、反転回路 I V 0 ~ 4 が配置される領域 (行 L N 1 に沿った領域) とバッファ回路 B F 0 ~ 4 が配置される領域 (行 L N 2 に沿った領域) の間の領域に配置することが望ましい。

【 0 0 7 1 】

即ち、最終段の反転回路 I V 4 の出力は最終段のバッファ回路 B F 4 に接続する必要がある。従って、この接続のために、図 2 (A) の F 1 に示すようなライン（配線）が必要になる。このため、図 2 (A) のように帰還ライン F L を反転回路 I V 0 ~ 4 の下側に配置する手法では、この F 1 に示すラインの分だけ余計な寄生容量が帰還ライン F L に付加されてしまう。

【 0 0 7 2 】

これに対して、図 3 のように反転回路 I V 0 ~ 4 とバッファ回路 B F 0 ~ 4 の間の領域に帰還ライン F L を配置する手法によれば、図 2 (A) の F 1 に示すラインを帰還ライン F L で代用できる。従って、図 3 の配置手法によれば、図 2 (A) に比べて、F 1 に示すラインの分だけ、反転回路 I V 4 の出力に寄生する容量を軽減できる。これにより、より高い周波数のクロックを生成できると共に、多相のクロック C K 0 ~ 4 間の位相差を、より均等化できるようになる。

【 0 0 7 3 】

また図 3 の配置手法によれば、帰還ライン F L が配置される領域に後述するようなダミーラインを配置できるようになる。これにより、反転回路 I V 0 ~ 4 の出力に寄生する容量を同等にできるようになり、多相のクロック C K 0 ~ 4 間の位相差を更に均等化できる。

【 0 0 7 4 】

1. 4 ダミーライン

さて、図 3 では、反転回路 I V 0 ~ 3 の出力に接続されるライン（I V 0 ~ 3 と B F 0 ~ 3 を結ぶライン）よりも、I V 4 の出力に接続される帰還ライン F L の方が長くなってしまふ。このため、反転回路 I V 4 の出力に寄生する容量が I V 0 ~ 3 の出力の寄生容量よりも大きくなってしまい、その分だけ、クロック C K 0 ~ 4 間の位相差が不均等になってしまふ。そして、位相差が不均等になってしまふと、最も位相差（信号遅延値の差）が少ないクロック間がクリティカルパスとなって、D フリップフロップ（保持回路）のセットアップタイムやホールドタイムを確保できなる事態が生じる。

【 0 0 7 5 】

そこで本実施形態では図 4 に示すように、各反転回路 I V 0 ~ 3 の出力に対し

て、最終段の反転回路 I V 4 の出力に接続される帰還ライン F L の寄生容量と同等（ほぼ同等の場合を含む）の寄生容量を有するダミーライン D L 0 ～ 3 を設けている。より具体的には、帰還ライン F L とほぼ同じ長さ（太さも同じ）のダミーライン D L 0 ～ 3 を帰還ライン F L と平行に配置している。

【 0 0 7 6 】

このようなダミーライン D L 0 ～ 3 を反転回路 I V 0 ～ 3 に接続することで、反転回路 I V 0 ～ 3 の出力に寄生する容量（配線容量）と反転回路 I V 4 の出力に寄生する容量を同等にすることができる。これにより、多相のクロック C K 0 ～ 4 間の位相差を均等化できるようになり、ほぼ同一の位相差（信号遅延差）で順次ずれて行くクロック C K 0 ～ 4 を生成できる。この結果、例えば、このクロック C K 0 ～ 4 を利用して、データのサンプリングクロックを生成する場合に、D フリップフロップのセットアップタイムやホールドタイムを最大限に確保できる。この結果、データのサンプリングエラーやホールドエラーが生じるのを防止でき、データを適正にサンプリングできるクロックを生成できるようになる。

【 0 0 7 7 】

なお図 4 では、反転回路 I V 0 ～ 4 とダミーライン D L 0 ～ 3 及び帰還ライン F L とを接続するためのライン L I 0 ～ 4 の長さを同じ長さになっている。即ち図 4 において、例えばライン L I 1 を、ダミーライン D L 1 との接続点（コンタクト）を越えて余分に引き延ばしている。同様にライン L I 2、L I 3、L I 4 を、D L 2、D L 3、F L との接続点を越えて余分に引き延ばしている。

【 0 0 7 8 】

更に図 4 では、ダミーライン D L 0 ～ 3 及び帰還ライン F L とバッファ回路 B F 0 ～ 4 とを接続するためのライン L B 0 ～ 4 の長さについても同じ長さになっている。即ち、例えばライン L B 0、L B 1、L B 2、L B 3 を、D L 0、D L 1、D L 2、D L 3、F L との接続点（コンタクト）を越えて余分に引き延ばしている。

【 0 0 7 9 】

このようにライン L I 0 ～ 4、L B 0 ～ 4 を余分に引き延ばして配線することで、反転回路 I V 0 ～ 4 の出力に寄生する容量を更に均等化でき、より均等な位

相差を持つクロック C K 0 ~ 4 を生成できる。

【 0 0 8 0 】

また図 4 では、帰還ライン F L 及びダミーライン D L 0 ~ 3 を、反転回路 I V 0 ~ 4 が配置される領域とバッファ回路 B F 0 ~ 4 が配置される領域の間の領域に配置している。このようにすることで、反転回路 I V 0 ~ 4 とダミーライン D L 0 ~ 3 及び帰還ライン F L との接続ライン L I 0 ~ 4 の長さを均等化したり、D L 0 ~ 3 及び F L とバッファ回路 B F 0 ~ 4 との接続ライン D B 0 ~ 4 の長さを均等化することが容易になる。

【 0 0 8 1 】

即ち、図 4 に示すように、平行なライン D L 0 ~ 3 及び F L を反転回路 I V 0 ~ 4 とバッファ回路 B F 0 ~ 4 の間の領域に配置すると共に、ライン L I 0 ~ 4 及び L B 0 ~ 4 を配置する。このようにすれば、ライン間の接続点となるべき位置にコンタクトを打つだけで、反転回路 I V 0 ~ 4、バッファ回路 B F 0 ~ 4 間を適切に接続できると共に、I V 0 ~ 4 の出力に寄生する容量を均等化できるようになる。

【 0 0 8 2 】

また例えば図 4 では、各反転回路の上側に、それに対応する各バッファ回路（反転回路の出力が入力されるバッファ回路）が配置されている。即ち、I V 0 の上側には B F 0 が、I V 1 の上側には B F 1 が、I V 2 の上側には B F 2 が、I V 3 の上側には B F 3 が、I V 4 の上側には B F 4 が配置されている。

【 0 0 8 3 】

しかしながら、図 4 のように反転回路とバッファ回路の間の領域にダミーラインの領域を設ける場合には、各反転回路の上側にそれに対応するバッファ回路を配置する必要は必ずしもない。

【 0 0 8 4 】

例えばライン L I 0 ~ 4 と D L 0 ~ 3 及び F L との接続点や、D L 0 ~ 3 及び F L と L B 0 ~ 4 との接続点を図 4 とは異ならせることで、バッファ回路を図 5 のような順番（B F 0、B F 2、B F 4、B F 1、B F 3 の順）で配置することも可能になる。

【 0 0 8 5 】

そして図 5 のような順番で配置されたバッファ回路の出力を利用すれば、クロックの立ち上がり（又は立ち下がり）が同じ位相差（信号遅延値）で順次ずれて行くクロック $CK 0' \sim CK 4'$ を生成できるようになる。

【 0 0 8 6 】

例えば図 4 のようなバッファ回路の配置で得られるクロック $CK 0 \sim 4$ では、図 6（A）に示すように、 $CK 0$ の立ち上がりの次は $CK 1$ の立ち下がりになってしまう。また、クロックの周期を T とした場合に、 $CK 0$ の立ち上がりと $CK 1$ の立ち上がりの位相差は $T/10$ （広義には $T/2N$ ）になってしまう。

【 0 0 8 7 】

これに対して図 5 のようなバッファ回路の配置で得られるクロック $CK 0' \sim 4'$ では、図 6（B）に示すように各クロックの立ち上がり（又は立ち下がり）が同じ位相差で順次ずれて行く。また、各クロック間の位相差も $T/5$ （広義には T/N ）となる。従って、後述するようなサンプリングクロックの生成に好適な多相のクロック $CK 0' \sim 4'$ を得ることができる。

【 0 0 8 8 】

このように反転回路とバッファ回路の間の領域にダミーライン及び帰還ラインを配置するようにすれば、この領域を利用して、反転回路、バッファ回路、ダミーライン、帰還ライン間の接続の入れ替えを容易に行えること可能になり、サンプリングクロックの生成に好適な多相のクロックを得ることができる。

【 0 0 8 9 】

1. 5 差動の反転回路

さて、図 1 のクロック生成回路では、反転回路 $IV 0 \sim 4$ 及びバッファ回路 $BF 0 \sim 4$ がシングル入力・シングル出力の回路になっている。しかしながら、図 7 のように、反転回路 $DCP 0 \sim 4$ として差動入力・差動出力の回路を用い、バッファ回路 $SCP 0 \sim 4$ として差動入力・シングル出力（或いは差動入力・差動出力）の回路を用いることもできる。

【 0 0 9 0 】

より具体的には図 7 では、各反転回路 $DCP 0 \sim 3$ の差動出力が次段の各 DC

P 1 ～ 4 の差動入力に接続されると共に、D C P 4 の差動出力が帰還ラインペア F L A、F L B を介して D C P 0 の差動入力に接続されている。また、各反転回路 D C P 0 ～ 4 の差動出力が各バッファ回路 S C P 0 ～ 4 の差動入力に接続されている。そして、バッファ回路 S C P 0 ～ 4 の出力が多相のクロック C K 0 ～ 3 として出力される。

【 0 0 9 1 】

この図 7 のような構成のクロック生成回路の場合でも、図 8 (A) に示すように配置することが望ましい。

【 0 0 9 2 】

即ち図 8 (A) では、反転回路 D C P 0 ～ 4 が帰還ラインペア F L A、F L B に平行な行 L N 1 に沿って配置される一方で、バッファ回路 S C P 0 ～ 4 は、F L A、F L B に平行ではあるが L N 1 とは異なる行 L N 2 に沿って配置される。このようにすることで、図 8 (B) に示す比較例に比べて、帰還ラインペア F L A、F L B の長さを短くでき、その寄生容量を少なくできる。この結果、高周波数のクロックも容易に生成できるようになる。また、多相のクロック間の位相差を均等にでき、サンプリングクロックの生成に好適な多相クロックを生成できる。

【 0 0 9 3 】

また、図 7 のような差動の反転回路を用いる場合にも、図 9 に示すように、帰還ラインペア F L A、F L B を、反転回路 D C P 0 ～ 4 とバッファ回路 S C P 0 ～ 4 との間の領域に配置することが望ましい。このようにすることで、反転回路とバッファ回路を接続するための G 1、G 2 に示すラインを、帰還ラインペア F L A、F L B で代用できるようになり、反転回路 D C P 4 の出力に余分な寄生容量が付加されるのを防止できる。この結果、より高い周波数のクロックを生成できると共に、多相のクロック C K 0 ～ 4 間の位相差を均等化できる。

【 0 0 9 4 】

また、図 7 のような差動の反転回路を用いる場合にも、図 1 0 に示すようなダミーラインペア D L A 0 ～ 3、D L B 0 ～ 3 を設けることが望ましい。また、ダミーラインペア D L A 0 ～ 3、D L B 0 ～ 3 及び帰還ラインペア F L A、F L B

を、反転回路 D C P 0 ~ 4 とバッファ回路 S C P 0 ~ 4 の間の領域に配置することが望ましい。

【 0 0 9 5 】

このようにすることで、反転回路 D C P 0 ~ 4 の出力に寄生する容量を同等にでき、多相のクロック C K 0 ~ 4 間の位相差を均等化できるようになり、ほぼ同一の位相差（信号遅延差）で順次ずれて行くクロック C K 0 ~ 4 を生成できるようになる。

【 0 0 9 6 】

例えば図 7 のような回路イメージで、そのまま回路パターン（レイアウトパターン）を配置すると、反転回路 D C P 0 ~ 4 の上側に F L A が配置され、下側に F L B が配置されてしまい、前述のように帰還ラインペア F L A、F L B に余分な寄生容量が付加されてしまう。また、ダミーラインペアを設けたり、反転回路とバッファ回路の間の領域にダミーラインペアや帰還ラインペアを配置することが容易でなくなる。

【 0 0 9 7 】

本実施形態では、図 7 の回路イメージから直接連想されるものとは異なる回路パターンで反転回路、バッファ回路、帰還ラインペア等を配置することで、高い周波数のクロックの生成や、均等な位相差の多相クロックの生成に成功している。

【 0 0 9 8 】

2. U S B 2. 0 への適用

次に、以上に説明したクロック生成回路を U S B 2. 0 のデータ転送制御装置に適用した場合について説明する。

【 0 0 9 9 】

2. 1 データ転送制御装置

図 1 1 に本実施形態のデータ転送制御装置の構成の例を示す。

【 0 1 0 0 】

本実施形態のデータ転送制御装置は、データハンドラ回路 4 0 0、H S（High Speed）回路 4 1 0、F S（Full Speed）回路 4 2 0、アナログフロントエンド

回路 4 3 0、多相クロック生成回路 4 4 0、クロック制御回路 4 5 0 を含む。なお、本発明のデータ転送制御装置は、図 1 1 に示す回路ブロックの全てを含む必要はなく、それらの一部を省略する構成としてもよい。

【 0 1 0 1 】

データハンドラ回路 4 0 0（広義にはデータ転送を行うための所与の回路）は、U S B 等に準拠したデータ転送のための種々の処理を行う。より具体的には、送信時には、送信データに S Y N C（synchronization）、S O P（Start Of Packet）、E O P（End Of Packet）を付加する処理や、ビットスタUFFING 処理などを行う。一方、受信時には、受信データの S Y N C、S O P、E O P を検出／削除する処理や、ビットアンスタUFFING 処理などを行う。更に、データの送受信を制御するための各種のタイミング信号を生成する処理も行う。

【 0 1 0 2 】

なお、受信データはデータハンドラ回路 4 0 0 から後段の回路である S I E（Serial Interface Engine）に出力され、送信データは S I E からデータハンドラ回路 4 0 0 に入力されることになる。

【 0 1 0 3 】

H S 回路 4 1 0 は、データ転送速度が 4 8 0 M b p s となる H S（High Speed）でのデータの送受信を行うためのロジック回路であり、F S 回路 4 2 0 は、データ転送速度が 1 2 M b p s となる F S（Full Speed）でのデータの送受信を行うためのロジック回路である。

【 0 1 0 4 】

ここで、H S モードは、U S B 2. 0 により新たに定義された転送モードである。一方、F S モードは、従来の U S B 1. 1 で既に定義されている転送モードである。

【 0 1 0 5 】

U S B 2. 0 では、このような H S モードが用意されているため、プリンタ、オーディオ、カメラなどにおけるデータ転送のみならず、ハードディスクドライブや光ディスクドライブ（C D R O M、D V D）などのストレージ機器におけるデータ転送も実現できるようになる。

【 0 1 0 6 】

H S 回路 4 1 0 は、H S D L L (High Speed Delay Line PLL) 回路 1 0、エラスティシティバッファ (elasticity buffer) 1 2 を含む。

【 0 1 0 7 】

ここで H S D L L 回路 1 0 (サンプリングクロック生成回路) は、受信データと多相クロック生成回路 4 4 0 (H S P L L) からのクロックとに基づいて、データのサンプリングクロックを生成する回路である。

【 0 1 0 8 】

またエラスティシティバッファ 1 2 は、内部装置 (データ転送制御装置) と外部装置 (バスに接続される外部装置) とのクロック周波数差 (クロックドリフト) 等を吸収するための回路である。

【 0 1 0 9 】

アナログフロントエンド回路 4 3 0 は、F S や H S での送受信を行うためのドライバやレシーバを含むアナログ回路である。U S B では D P (D a t a +) と D M (D a t a -) を用いた差動信号によりデータを送受信する。

【 0 1 1 0 】

多相クロック生成回路 4 4 0 は、装置内部で使用する 4 8 0 M H z の多相のクロックや、装置内部及び S I E で使用する 6 0 M H z のクロックなどを生成する。

【 0 1 1 1 】

多相クロック生成回路 4 4 0 は、発振回路 2 0、H S P L L 2 2、F S P L L 2 4 を含む。

【 0 1 1 2 】

ここで発振回路 2 0 は、例えば外部振動子との組み合わせによりベースクロックを生成する。

【 0 1 1 3 】

H S P L L (H S Phase Locked Loop) 2 2 は、発振回路 2 0 で生成されたベースクロックに基づいて、H S モードに必要な 4 8 0 M H z のクロックと、F S モード、装置内部及び S I E で必要な 6 0 M H z のクロックを生成する P L L であ

る。なお、HSモードで送受信を行う場合には、このHSPLL22によるクロック生成を有効にする必要がある。

【0114】

FSPLL (FS Phase Locked Loop) 24 は、発振回路20で生成されたベースクロックに基づいて、FSモード、装置内部及びSIEに必要な60MHzのクロックを生成する。なお、このFSPLL24によるクロック生成を有効にしている時には、HSモードでの送受信は不可となる。

【0115】

クロック制御回路450は、SIEからの各種の制御信号を受け、多相クロック生成回路440を制御する処理などを行う。

【0116】

2. 2 サンプリングクロック生成回路

図12に、USB2.0に本実施形態を適用した場合のクロック生成回路100の構成例を示す。このクロック生成回路100は、HSDL回路10（サンプリングクロック生成回路）とHSPLL22（多相クロック生成回路）を含む。

【0117】

ここでHSPLL22は、周波数が同一で位相が互いに異なる多相のクロックCLK0、CLK1、CLK2、CLK3、CLK4（広義には第1～第Nのクロック）を出力する。より具体的には、HSPLL22のVCO（発振周波数が可変に制御される発振回路）が含む反転回路（奇数段の第1～第Nの反転回路）の出力を用いて、クロックCLK0～4を生成して出力する。

【0118】

HSDL回路10はエッジ検出回路70、クロック選択回路72を含む。そして、このエッジ検出回路70は、図11のアナログフロントエンド回路430から入力されるデータDINのエッジを検出し、そのエッジ検出情報をクロック選択回路72に出力する。

【0119】

より具体的には、HSPLL22からのCLK0～4のエッジ（立ち上がり又

は立ち下がリエッジ)の中のいずれのエッジ間にデータDINのエッジがあるかを検出し、そのエッジ検出情報をクロック選択回路72に出力する。

【0120】

すると、クロック選択回路72は、このエッジ検出情報に基づいて、クロックCLK0～4の中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックSCLKとして後段のエラスティシティバッファ12(図11参照)に出力する。

【0121】

図13(A)、(B)に本実施形態の動作を説明するためのタイミング波形図を示す。

【0122】

図13(A)、(B)に示すように、CLK0～4は周波数が同一の480MHzとなるクロックである。また、クロックの周期をTとした場合に、各クロック間の位相が $T/5$ (広義には T/N)だけシフトしている。

【0123】

そして図13(A)では、サンプリング対象となるデータDINのエッジEDが、クロックCLK0とCLK1の間にあることが図12のエッジ検出回路70により検出される。すると、データDINのエッジEDから例えば3個(広義には設定数M個)だけずれたエッジEC3を有するクロックCLK3が図12のクロック選択回路72により選択され、この選択されたCLK3が、DINのサンプリングクロックSCLKとして後段の回路(エラスティシティバッファ12)に出力される。

【0124】

一方、図13(B)では、DINのエッジEDが、CLK2とCLK3の間にあることがエッジ検出回路70により検出される。すると、DINのエッジEDから例えば3個(広義には設定数M個)だけずれたエッジEC0を有するクロックCLK0がクロック選択回路72により選択され、この選択されたCLK0が、DINのサンプリングクロックSCLKとして後段の回路(エラスティシティバッファ12)に出力される。

【0125】

このように本実施形態によれば、データDINのエッジEDを検出し、得られたエッジ検出情報に基づいてCLK0～CLK4からクロックを選択するという簡素な構成で、データDINのサンプリングクロックSCLKを生成できる。従って、USB2.0のHSモードのように、DINが外部装置の480MHzに同期する高速な転送データである場合にも、このDINを適正にサンプリングできるクロックSCLKを生成できる。

【0126】

また本実施形態によれば、図13(A)、(B)に示すように、生成されたサンプリングクロックSCLKのエッジESをDINのエッジ間の真ん中付近に位置させることができる。従って、後段の回路(エラスティシティバッファ12)は、データの保持のためのセットアップタイムやホールドタイムを十分に確保できるようになり、データ受信の信頼性を格段に高めることができる。

【0127】

また本実施形態によれば、DINのエッジ検出やSCLKの生成のために使用する5相(多相)のクロックCLK0～4として、HSPLL22のVCOが含む差動出力コンパレータ(反転回路)の出力を有効利用している。従って、CLK0～4を生成するために別の新たな回路を設ける必要が無いため、回路の小規模化を図れる。

【0128】

2.3 HSPLLの詳細例

図14にHSPLL22の詳細な構成例を示す。

【0129】

このHSPLL22は、位相比較器80、チャージポンプ回路82、フィルタ回路84、VCO(Voltage Controlled Oscillator)86、分周器88などを含む。

【0130】

ここで位相比較器80は、ベースクロックRCLK(例えば12～24MHz)と分周器88からのクロックDCLK4の位相を比較し、位相誤差信号PUP

、PDWを出力する（PUPは位相進み信号、PDWは位相遅れ信号）。

【0131】

チャージポンプ回路82は、位相比較器80からのPUP、PDWに基づいてチャージポンプ動作を行う。より具体的には、PUPがアクティブになると、フィルタ回路84が含むコンデンサを充電する動作を行い、PDWがアクティブになると、コンデンサを放電する動作を行う。そして、フィルタ回路84により平滑化された制御電圧VCがVCO86に与えられる。

【0132】

VCO86は、制御電圧VCに応じてその発振周波数が可変に制御される発振動作を行い、480MHzのクロックCLK0～4を生成する。例えば、制御電圧VCが高くなると発振周波数も高くなり、制御電圧VCが低くなると発振周波数も低くなる。

【0133】

VCO86により生成されたクロックCLK0、1、2、3、4は、バッファ回路BF00～04、BF10～14を介してCLK0、2、4、1、3として外部に出力される。なお、BF20～23はBF24との負荷合わせのためのダミーのバッファ回路である。

【0134】

分周器88は、バッファ回路BF04、BF24を介してVCO86から入力されるクロックCLK4を分周（1/N）して、分周後のクロックCLK4を位相比較器80に出力する。

【0135】

図14の構成のHSPLL22によれば、ベースクロックCLKに位相同期した高周波数の480MHzのクロックCLK4（CLK0～3）を生成できるようになる。

【0136】

なお図14のHSPLL22において、チャージポンプ回路82を設けない構成としてもよい。また、VCO86の代わりに電流制御の発振回路を設けるようにしてもよい。

【 0 1 3 7 】

図 1 5 に、V C O 8 6 の構成例を示す。

【 0 1 3 8 】

この V C O 8 6 は、5 段（広義には奇数段）の直列接続された差動出力コンパレータ D C P 0 ～ 4 （広義には反転回路）を含み、各 D C P 0 ～ 4 の差動出力 X Q、Q は、シングルエンド出力コンパレータ S C P 0 ～ 4 （広義にはバッファ回路）の差動入力 I、X I に入力される。そして、S C P 0 ～ 4 の出力が V C O 8 6 の出力クロック Q C L K 0 ～ 4 になる。また、最終段の差動出力コンパレータ D C P 4 の出力は、帰還ライン F L A、F L B（帰還ラインペア）を介して初段の差動出力コンパレータ D C P 0 の入力に接続される。また、制御電圧 V C が変化すると、差動出力コンパレータ D C P 0 ～ 4 の電流源に流れる電流が変化し、発振周波数が変化する。

【 0 1 3 9 】

図 1 6（A）に、差動出力コンパレータ（差動増幅器）D C P 0 ～ 4 の構成例を示す。この差動出力コンパレータは、差動入力 I、X I がゲート電極に接続され、差動出力 X Q、Q がドレイン電極に接続された N 型トランジスタ N T 1、N T 2 と、制御電圧 V C がゲート電極に接続された N 型トランジスタ N T 3（電流源）を含む。また、差動出力 Q がゲート電極に接続され、差動出力 X Q、Q がドレイン電極に接続された P 型トランジスタ P T 1、P T 2 を含む。

【 0 1 4 0 】

図 1 6（B）に、差動出力コンパレータ D C P 0 ～ 4 の他の構成例を示す。この差動出力コンパレータは、差動入力 I、X I がゲート電極に接続され、差動出力 X Q、Q がドレイン電極に接続された N 型トランジスタ N T 4、N T 5 と、制御電圧 V C がゲート電極に接続された N 型トランジスタ N T 6（電流源）を含む。また、差動出力 Q、X Q がゲート電極に接続され、差動出力 X Q、Q がドレイン電極に接続された P 型トランジスタ P T 3、P T 4 と、差動出力 X Q、Q がゲート電極及びドレイン電極に接続された P 型トランジスタ P T 5、P T 6 を含む。

【 0 1 4 1 】

図 1 6 (B) の回路では、XQ 側の回路 (P T 3、P T 5、N T 4) と Q 側の回路 (P T 4、P T 6、N T 5) とが同一構成 (線対称) となるマルチバイブレータ型のコンパレータになっている。即ち、Q の電位が下がると P T 3 がオンになり XQ の電位が上がる一方で、XQ の電位が下がると P T 4 がオンになり Q の電位が上がる構成になっている。従って、図 1 6 (A) の構成に比べて、差動出力 Q 及び XQ の振幅を大きくすることが可能になる (例えば 1 . 4 V ~ 3 . 2 V) 。

【 0 1 4 2 】

なお、V C O 8 6 に含ませる反転回路は図 1 6 (A)、(B) に示す差動出力コンパレータに限定されず、種々の変形実施が可能である。

【 0 1 4 3 】

例えば図 1 7 に示す反転回路では、P 型トランジスタ P T 7、P T 8、N 型トランジスタ N T 7、N T 8 が直列接続される。そして、これらのトランジスタに流れる電流が、P T 7、N T 8 のゲート電極に接続される制御電圧 V C Q、V C により制御されて、発振周波数が可変に制御される。

【 0 1 4 4 】

図 1 8 に、シングルエンド出力コンパレータ S C P 0 ~ 4 の構成例を示す。

【 0 1 4 5 】

この図 1 8 のシングルエンド出力コンパレータの差動部は、差動入力 I、X I がゲート電極に接続され、ノード N D 1、N D 2 がドレイン電極に接続された N 型トランジスタ N T 1 0、N T 1 1 と、基準電圧 V R E F がゲート電極に接続された N 型トランジスタ N T 1 2 (電流源) を含む。また、この差動部は、ノード N D 2、N D 1 がゲート電極に接続され、ノード N D 1、N D 2 がドレイン電極に接続された P 型トランジスタ P T 1 0、P T 1 1 と、ノード N D 1、N D 2 がゲート電極及びドレイン電極に接続された P 型トランジスタ P T 1 2、P T 1 3 を含む。

【 0 1 4 6 】

また図 1 8 のシングルエンド出力コンパレータの出力部は、ノード N D 1 がゲート電極に接続され、ドレイン電極がシングルエンド出力 Q に接続された P 型ト

ランジスタPT14と、基準電圧VREFがゲート電極に接続され、ドレイン電極がシングルエンド出力Qに接続されたN型トランジスタNT13（電流源）を含む。

【0147】

以上に説明した本実施形態では、図15の5段の差動出力コンパレータDCP0～4（反転回路）の出力を利用して、図12、図13（A）、（B）で説明した5相のクロックCLK0～CLK4を得ている。そして、これらの差動出力コンパレータDCP0～4は、VCO86の発振動作のために元々必要な回路である。従って、このように差動出力コンパレータDCP0～4の出力を利用して、5相のクロックCLK0～CLK4を生成するようにすれば、CLK0～4を生成するために別の新たな回路を設ける必要がなくなるため、回路の小規模化を図れる。

【0148】

2. 4 エッジ検出回路、クロック選択回路の詳細例

図19にエッジ検出回路70、クロック選択回路72の詳細な構成例を示す。

【0149】

エッジ検出回路70は、DフリップフロップDFA0と、DフリップフロップDFB0～DFB4（第1～第Nの保持回路）と、検出回路EDET0～EDET4（第1～第Nの検出回路）を含む。

【0150】

ここで、DフリップフロップDFA0は、信号SQUELCHをデータDINのエッジでサンプリングして保持し、信号SSQUELCHを出力する。

【0151】

DフリップフロップDFB0（第1の保持回路）は、データDINをクロックCLK0のエッジでサンプリングして保持する。同様に、DFB1（第2の保持回路）はDINをCLK1で保持し、DFB2（第3の保持回路）はDINをCLK2で保持し、DFB3（第4の保持回路）はDINをCLK3で保持し、DFB4（第5の保持回路）はDINをCLK4で保持する。

【0152】

そして検出回路 E D E T 0 ~ 4 は、D フリップフロップ D F B 0 ~ D F B 4 の出力 D Q 0 ~ D Q 4 (保持されたデータ) に基づいて排他的論理和演算を行い、クロック C L K 0 ~ C L K 4 のエッジの中のいずれのエッジ間にデータ D I N のエッジがあるかを検出する。

【 0 1 5 3 】

より具体的には、検出回路 E D E T 0 (第 1 の検出回路) は、D フリップフロップ D F B 0、1 の出力 D Q 0、1 に基づいて、クロック C L K 0、1 のエッジ間にデータ D I N のエッジがあるか否かを検出する。同様に、E D E T 1 (第 2 の検出回路) は、D F B 1、2 の出力 D Q 1、2 に基づいて、C L K 1、2 のエッジ間に D I N のエッジがあるか否かを検出する。また E D E T 2 (第 3 の検出回路) は、D F B 2、3 の出力 D Q 2、3 に基づいて、C L K 2、3 のエッジ間に D I N のエッジがあるか否かを検出する。また E D E T 3 (第 4 の検出回路) は、D F B 3、4 の出力 D Q 3、4 に基づいて、C L K 3、4 のエッジ間に D I N のエッジがあるか否かを検出する。また E D E T 4 (第 5 の検出回路) は、D F B 4、0 の出力 D Q 4、0 に基づいて、C L K 4、0 のエッジ間に D I N のエッジがあるか否かを検出する。

【 0 1 5 4 】

そして、クロック選択回路 7 2 (クロック選択回路) は、検出回路 E D E T 0 ~ 4 の出力 E Q 0 ~ 4 (エッジ検出情報) に基づいて、C L K 0 ~ 4 のクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロック S C L K として出力する。

【 0 1 5 5 】

図 2 0、図 2 1 に本実施形態の動作を説明するためのタイミング波形図を示す。

【 0 1 5 6 】

受信したデータ D I N がノイズか否かを判別するための信号 S Q U E L C H が図 2 0 の A 1 に示すように「1」(論理レベル。以下同様)になると、これが D I N の立ち下がりエッジで図 1 9 の D フリップフロップ D F A 0 に保持され、A 2 に示すように S S Q U E L C H も「1」になる。そして S S Q U E L C H が「

1」になるとエッジ検出回路 7 0 のエッジ検出動作がイネーブルされる。

【0 1 5 7】

すると、Dフリップフロップ DFB 0～4 が CLK 0～4 の立ち上がりエッジでデータ DIN を保持し、図 2 1 の B 1 に示すような DQ 0～4 を出力する。そして、検出回路 EDET 0 は DQ 0、1 の例えば排他的論理和演算を行い B 2 に示すような EQ 0 を出力する。同様に、検出回路 EDET 1、2、3、4 は、各々、DQ 1、2、DQ 2、3、DQ 3、4、DQ 4、0 の排他的論理和演算を行い B 3～6 に示すような EQ 1～4 を出力する。

【0 1 5 8】

クロック選択回路 7 2 は、これらの出力 EQ 0～4 に基づいてクロック CLK 0～4 のいずれを選択するかを判断する。例えば図 2 1 の B 2 ではクロック CLK 0、1 のエッジ間にデータのエッジがあることが検出されたため、DIN のエッジから例えば 3 個（所与の設定数 M）だけずれたエッジを有する CLK 4 を選択し（図 1 3（A）参照）、サンプリングクロック SCLK として出力する。

【0 1 5 9】

このクロックの選択は、クロック選択回路 7 2 が有する図示しない組み合わせ回路が、図 2 0 に示すようなクロック選択信号 CSEL 0～4 を生成し、これらの CSEL 0～4 と CLK 0～4 との論理積演算を行うことで実現できる。

【0 1 6 0】

例えば図 2 0 の A 3 ではクロック選択信号 CSEL 3 がアクティブ（「1」）になっているため、クロック CLK 3 が選択されてサンプリングクロック SCLK として出力される。同様に、A 4、A 5 では CSEL 2、1 がアクティブになっているため、各々、CLK 2、1 が選択されて SCLK として出力される。

【0 1 6 1】

なお、クロック選択回路 7 2 によるクロックの選択動作は、HSPLL 2 2 の位相同期がロックされたことを示す信号 PLLLOCKED が図 2 0 の A 6 に示すようにアクティブになったことを条件として、イネーブルされる。

【0 1 6 2】

2. 5 セットアップタイム、ホールドタイムの確保

さて、図19のDフリップフロップ（保持回路）DFB0～4が、図22に示すようなタイミングでCLK0～CLK4を用いてデータDINを保持した場合を考える。

【0163】

この場合に、図22のC1では、データDINのエッジEDとCLK1のエッジEC1とが近いため、CLK1でDINを保持するDフリップフロップDFB1（図19参照）のセットアップタイムTSが足りなくなる。従って図22のC2に示すように、保持されるデータが不定となり、「0」又は「1」のいずれなのかを確定できなくなる。

【0164】

しかしながら、このような場合にも本実施形態では、図22のC3、C4に示すように、DINのエッジED（EDが検出されたと想定される位置）から例えば3個（M個）だけずれたエッジを持つクロックをサンプリングクロックSCLKとして選択しているため、適切なSCLKを生成できる。即ち、図22のC3に示すようにCLK3がSCLKとして選択された場合にも、C4に示すようにCLK4がSCLKとして選択された場合にも、SCLKの取り込みエッジをDINのエッジ間の真ん中付近に位置させることができる。従って、後段の回路（エラスティシティバッファ）は、この生成されたSCLKを用いてDINを適正にサンプリングして保持できる。

【0165】

ところで図22では、多相クロックCLK0～N（CLK0～4）の周期をT、クロック数をN（=5）、Dフリップフロップ（保持回路）のセットアップタイムをTS、ホールドタイムをTHとした場合に、

$$T/N > TS + TH \quad (1)$$

の式が成立している。上式（1）を変形すると、

$$N < T / (TS + TH) \quad (2)$$

或いは、

$$N \leq [T / (TS + TH)] \quad (3)$$

となる。なお、上式（3）において[X]はXを越えない最大の整数である。

【0166】

例えば、 $T = 2.08 \text{ ns}$ (nanosecond)、 $TS = TP = 0.4 \text{ ns}$ であると想定した場合には、 $N \leq 5$ になる。即ち、この場合には、多相クロックの数を $N \leq 5$ にすれば、多相クロック間のセットアップタイムとホールドタイムとが重なり合わないようになる。

【0167】

一方、図23 (A) では、多相クロックCLK0～6の数が図22よりも増えており、7個になっている。即ち、HSPLL22 (図12参照) が内蔵する反転回路 (差動出力コンパレータ) の出力を多相クロックとして利用する場合には、VCOを負帰還 (リングオシレータ) で発振させるために反転回路の段数は奇数になり、多相クロックの数も奇数になる。従って、多相クロックの数を5個よりも大きな数にする場合には、その数は7個になる。

【0168】

そして図23 (A) のように、7個の多相クロックCLK0～6を用いた場合には、上記 (1)、(2)、(3) の関係式が満たされなくなる可能性がある。

【0169】

例えば図23 (A) のD1では、DINのエッジEDとCLK0のエッジEC0とが近いため、CLK0でDINを保持するDフリップフロップDFB0 (図19参照) のホールドタイムTHが足りなくなる。従って、D2に示すように、保持されるデータが不定となり、「0」又は「1」のいずれなのかを確定できなくなる。

【0170】

同様に図23 (A) のD3でも、DINのエッジEDとCLK1のエッジEC1とが近いため、CLK1でDINを保持するDFB1のセットアップタイムTSが足りなくなる。従って、D4に示すように、保持されるデータが不定となり、「0」又は「1」のいずれなのかを確定できなくなる。

【0171】

そして、このように「不定」となるポイントが2つになってしまうと、サンプリングクロックSCLKとなる適正なクロックを選択できなくなる。即ち、図2

2では、D I NのエッジE Dから例えば3個だけずれたエッジを持つクロックをS C L Kとして選択していたが、図2 3 (A)の場合にはこのような選択手法を採用しても適切なS C L Kを得ることができない。

【0 1 7 2】

従って、このような事態を防ぐために、多相クロックの数Nは、 $N \leq [T / (T S + T H)]$ の関係式を満たすものであることが望ましい。

【0 1 7 3】

一方、多相クロックの数を5個よりも少なくして3個（5の次の奇数）にした場合には、図2 3 (B)に示すようになる。

【0 1 7 4】

この場合、D I NのエッジE Dから例えば2個だけずれたエッジを持つクロックをS C L Kとして選択すれば、図2 3 (B)のE 1ではC L K 2が選択され、E 2ではC L K 0が選択されることになる。

【0 1 7 5】

しかしながら、図2 3 (B)では、D I NのエッジE Dから2個だけずれたエッジを持つクロックしか選択できず、3個或いは4個ずれたエッジを持つクロックを選択することはできない。従って、選択できるクロックの選択枝の範囲が狭いという欠点がある。

【0 1 7 6】

これに対して図2 2では、D I NのエッジE Dから2～4個ずれたエッジを持つクロックの選択が可能であるため、選択できるクロックの選択枝の範囲が広くなるという利点がある。

【0 1 7 7】

従って、クロックの選択枝の範囲を広くするためには、多相クロックの数Nは、 $N \leq [T / (T S + T H)]$ （ $[X]$ はXを越えない最大の整数）の関係式を満たしながら、その中で最も大きな数であることが望ましい。即ち、 $N = [T / (T S + T H)]$ であることが望ましい。

【0 1 7 8】

なお、図1 2のH S P L L 2 2が含む反転回路（差動出力コンパレータ）の段

数が増えると、高い発振周波数を確保できないという問題がある。従って、H S P L L 2 2 の反転回路の出力を多相クロック C L K 0 ~ N として利用する場合には、高い発振周波数を確保できる範囲でクロック数 N を大きな数にすることが望まれる。

【 0 1 7 9 】

具体的には、 $N = 5$ とすれば、データのエッジから例えば 2 ~ 4 個ずれたエッジを持つクロックをサンプリングクロックとして選択できるようになり、クロックの選択枝として十分な範囲の選択枝を確保できるようになる。

【 0 1 8 0 】

一方、 $N = 5$ とすれば、H S P L L 2 2 の反転回路の段数を 5 段にすることができ、H S P L L 2 2 の V C O (発振回路) を高い周波数で発振させることができる。この結果、高周波数のサンプリングクロックを得ることが可能になる。

【 0 1 8 1 】

2. 6 クロックの選択

さて、本実施形態のサンプリングクロック生成回路で生成されたサンプリングクロック S C L K を直接に用いてデータ D I N をサンプリングする場合には、図 2 4 (A) に示すように、D I N のエッジ間の真ん中付近にエッジが位置するクロックを S C L K として選択することが望ましい。

【 0 1 8 2 】

例えば図 2 4 (A) のように 5 相のクロック C L K 0 ~ 4 を用いる場合には、データ D I N のエッジ E D から 3 個 (設定数 M) だけずれたエッジを有するクロック C L K 3 をサンプリングクロック S C L K として選択する。

【 0 1 8 3 】

このようにすれば、後段の回路がサンプリングクロック S C L K を用いてデータ D I N を保持する際に、十分なセットアップタイム、ホールドタイムを確保できるようになる。

【 0 1 8 4 】

しかしながら、後段の回路が、サンプリングクロック生成回路からのサンプリングクロック S C L K を直接には用いずに、S C L K に論理演算等を施した後の

クロックである $SCLK'$ を用いてデータ DIN を保持する場合がある。

【0185】

このような場合には図24（B）に示すように、 $SCLK$ に施される論理演算を原因とする素子遅延により、 $SCLK'$ のエッジ ES' の位置が $SCLK$ のエッジ ES の位置よりも遅延する場合がある。

【0186】

従って、このような場合には図24（B）に示すように、信号遅延を考慮して、データ DIN のエッジ ED から例えば2個だけずれたエッジを有するクロック CLK_2 を $SCLK$ として選択するようにする。そして、後段の回路は、この $SCLK$ に論理演算等を施した後のクロックである $SCLK'$ を用いてデータ DIN を保持する。このようにすれば、後段の回路は、 DIN を保持する際に、十分なセットアップタイム、ホールドタイムを確保できるようになる。

【0187】

このように、 DIN のエッジ ED からずらす個数 M は、後段の回路の構成に応じて可変に設定できることが望ましい。

【0188】

なお、 $SCLK'$ によりデータ DIN を適正にサンプリングできるように、 DIN の方を遅延素子により遅延させて後段の回路に出力するようにしてもよい。

【0189】

図25に後段の回路であるエラスティシティバッファ12の構成例を示す。なお、エラスティシティバッファ12は、図11のHS回路410に含まれる回路であり、判断回路60、バッファ64、セレクタ66は図11の例えばデータハンドラ回路400に含まれる回路である。

【0190】

エラスティシティバッファ12は、データ保持レジスタ50（データ保持回路）、データステータスレジスタ52（データステータス保持回路）、書き込みパルス生成回路54（書き込みパルス生成回路）を含む。

【0191】

ここでデータ保持（ホールド）レジスタ50は、シリアルデータ DIN を受け

、これを保持する32ビット幅のレジスタである。

【0192】

データステータスレジスタ52は、データ保持レジスタ50の各ビットのデータのステータスを保持する32ビット幅のレジスタである。

【0193】

書き込みパルス生成回路54は、32ビット幅の書き込みパルス信号WP[0:31]を生成し、データ保持レジスタ50、データステータスレジスタ52に出力する回路である。

【0194】

ここで、書き込みパルス信号WP[0:31]は、その各パルスが、サンプリングクロックSCLKの32クロックサイクル毎（広義にはKクロックサイクル毎）に周期的にアクティブになると共に、各パルスがアクティブになる期間が1クロックサイクルずつ互いにずれている信号である。データ保持レジスタ50は、この書き込みパルス信号WP[0:31]に基づいて、各ビットのデータを保持する。同様にデータステータスレジスタ52も、この書き込みパルス信号WP[0:31]に基づいて、各ビットのデータのステータスを保持する。

【0195】

判断回路60は、データ保持レジスタ50に保持されるデータが有効(valid)か否かを、複数のビット（例えば8ビット）で構成されるデータセル単位で判断する回路であり、内蔵するステートマシーン62に従って動作する。

【0196】

より具体的には、判断回路60は、データ保持レジスタ50の各データセルが有効か否かを示す4ビット幅の信号VALID[0:3]や、データ保持レジスタ50のオーバフロー時にアクティブになる信号OVERFLOWを、データステータスレジスタ52から受ける。

【0197】

そして、各データセルが有効か否かを判断し、有効なデータセルを選択するための信号SELをセレクタ66に出力する。また、データステータスレジスタ52に保持されているデータステータスを、データセル単位でクリアするための信

号STRB[0:3]をデータステータスレジスタ52に出力する。更に、HSモードでのパケット受信終了時にアクティブになる信号TERMやHSモードでの受信動作をイネーブルにする信号HSENBをエラスティシティバッファ12に出力する。

【0198】

バッファ64は、データ保持レジスタ50からの32ビット幅の平行データDPA[0:31]を受け、60MHzのクロックPCLKで同期化しバッファリングしたデータDBUF[0:31]をセクタ66に出力する。

【0199】

セクタ66（出力回路）は、判断回路60からの信号SELに基づいて、バッファ64からのデータDBUF[0:31]から、有効なデータセルのデータを選択し、8ビット幅のデータDOUT[0:7]として出力する。

【0200】

図25のエラスティシティバッファ12では、データ保持レジスタ50でのデータの保持に、サンプリングクロック生成回路からのSCLKではなく、書き込みパルス生成回路54からの書き込みパルス信号WP[0:31]を用いている。即ち、SCLKに論理演算等を施して生成されたWP[0:31]を用いてデータを保持している。従って、図24（A）、（B）で説明したように、書き込みパルス生成回路54での素子遅延を考慮して設定数Mを決め、クロックを選択することが望ましい。

【0201】

2. 7 回路配置

図26に、図15の反転回路DCP0~4（差動出力コンパレータ）、バッファ回路SCP0~4（シングルエンド出力コンパレータ）と図14のバッファ回路BF00~04、BF20~24、BF10~14の配置例を示す。

【0202】

なお、図5で説明した手法を用いて、バッファ回路SCP0~3（BF0~4に相当）やBF00~04、BF20~24、BF10~14の配置場所を入れ替えるようにしてもよい。

【0203】

図26では、図1～図10で説明した配置手法と同様に、反転回路DCP0～4を、帰還ラインFL（図15の帰還ラインペアFLA、FLB）に平行な行LN1に沿って配置する一方で、バッファ回路SCP0～4を、FLに平行ではあるがLN1とは異なる行LN2に沿って配置している。これにより帰還ラインFLの長さを短くでき、多相のクロック間の位相差を均等化できる。

【0204】

また図26では、帰還ラインFLを、反転回路DCP0～4とバッファ回路SCP0～4の間の領域に配置している。これにより反転回路DCP4の出力に余分な寄生容量が付加されるのを防止できる。

【0205】

また図26では、ダミーラインDL（DLA0～3、DLB0～3）を設けると共に、ダミーラインDL及び帰還ラインFLを、反転回路DCP0～4とバッファ回路SCP0～4の間の領域に配置している。これにより、反転回路DCP0～4の出力に寄生する容量を同等にでき、ほぼ同一の位相差（信号遅延差）で順次ずれて行く多相のクロックを生成できるようになる。

【0206】

さて本実施形態では図27に示すように、多相クロック生成回路22（図26のように配置された回路）が生成した多相のクロックCLK0～4（第1～第Nのクロック）を用いて、サンプリングクロック生成回路10が、データDINをサンプリングするためのサンプリングクロックSCLKを生成している。

【0207】

この場合に本実施形態では、クロックCLK0～4のライン（図26のバッファ回路BF10～14の出力に接続されるライン）に寄生する容量が同等（ほぼ同等の場合を含む）になるように、CLK0～4のラインを配線している。

【0208】

具体的には、図27の多相クロック生成回路22側でのCLK0～4のラインの配線（H1に示す部分での配線）を、例えば図28に示すような配線にしている。即ち図28では、多相クロック生成回路22側でのクロックCLK0～4の

ラインの長さが同等（ほぼ同等を含む）になるように、これらの各ラインをわざと屈曲させている。このようにすることで、多相クロック生成回路 2 2 の出力端子（図 2 7 の H 2）までの部分において、CLK 0～4 のラインの寄生容量が同等になることを保証できる。

【 0 2 0 9 】

また本実施形態では、図 2 7 において、多相クロック生成回路 2 2 の出力端子（H 2 に示す部分）からサンプリングクロック生成回路 1 0 の入力端子（H 3 に示す部分）までの部分において、CLK 0～4 のラインの寄生容量が同等になるように CLK 0～4 を配線している。即ち、この H 2 から H 3 の部分においての CLK 0～4 の長さを同等にしている。

【 0 2 1 0 】

更に本実施形態では、図 2 7 のサンプリングクロック生成回路 1 0 側での CLK 0～4 のラインの配線（H 4 に示す部分）を、例えば図 2 9 に示すような配線にしている。

【 0 2 1 1 】

即ち図 2 9 では、サンプリングクロック生成回路 1 0 の入力端子（H 3 に示す部分）から D フリップフロップ DFB 0～4（図 1 9 参照）の D 端子 DT 0～4 までの CLK 0～4 のラインの長さが同等になるようにしている。

【 0 2 1 2 】

より具体的には図 2 9 に示すように、データ DIN をクロック CLK 0～4 で保持する D フリップフロップ DFB 0～4（第 1～第 N の保持回路）を、CLK 0～4 のラインに平行な行 LN 3 に沿って配置する。

【 0 2 1 3 】

そして、クロック CLK 0～4 のラインを、折り返し地点 TPT 0～4（第 1～第 N の折り返し地点）で反対方向に折り返した後に、D フリップフロップ DFB 0～4 の D 端子 DT 0～4（DFB 0～4 の入力）に接続する。この場合に本実施形態では、これらの折り返し地点 TPT 0～4 を、CLK 0～4 のラインに寄生する容量が互いに同等になる場所に設けている。

【 0 2 1 4 】

このようにすることで、サンプリングクロック生成回路 1 0 側での CLK 0 ~ 4 のラインの寄生容量が、互いに同等になることを保証できるようになる。

【 0 2 1 5 】

特に、図 2 9 に示すように折り返し地点 T P T 0 ~ 4 で CLK 0 ~ 4 を折り返して D F B 0 ~ 4 に入力する配線手法によれば、ラインの折り返し回数についても CLK 0 ~ 4 間で同等（例えば折り返し回数 = 1）にできる。これにより、CLK 0 ~ 4 のラインに寄生する容量の差を、更に小さくすることが可能になる。

【 0 2 1 6 】

3. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【 0 2 1 7 】

例えば図 3 0 (A) に電子機器の 1 つであるプリンタの内部ブロック図を示し、図 3 1 (A) にその外観図を示す。CPU (マイクロコンピュータ) 5 1 0 はシステム全体の制御などを行う。操作部 5 1 1 はプリンタをユーザが操作するためのものである。ROM 5 1 6 には、制御プログラム、フォントなどが格納され、RAM 5 1 7 は CPU 5 1 0 のワーク領域として機能する。DMAC 5 1 8 は、CPU 5 1 0 を介さずにデータ転送を行うための DMA コントローラである。表示パネル 5 1 9 はプリンタの動作状態をユーザに知らせるためのものである。

【 0 2 1 8 】

USB を介してパーソナルコンピュータなどの他のデバイスから送られてきたシリアル印字データは、データ転送制御装置 5 0 0 により平行の印字データに変換される。そして、変換後の平行印字データは、CPU 5 1 0 又は DMAC 5 1 8 により、印字処理部 (プリンタエンジン) 5 1 2 に送られる。そして、印字処理部 5 1 2 において平行印字データに対して所与の処理が施され、プリントヘッダなどからなる印字部 (データの出力処理を行う装置) 5 1 4 により紙に印字されて出力される。

【 0 2 1 9 】

図 3 0 (B) に電子機器の 1 つであるスキャナの内部ブロック図を示し、図 3

1 (B) にその外観図を示す。CPU 5 2 0 はシステム全体の制御などを行う。操作部 5 2 1 はスキャナをユーザが操作するためのものである。ROM 5 2 6 には制御プログラムなどが格納され、RAM 5 2 7 は CPU 5 2 0 のワーク領域として機能する。DMAC 5 2 8 は DMA コントローラである。

【 0 2 2 0 】

光源、光電変換器などからなる画像読み取り部（データの取り込み処理を行う装置）5 2 2 により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部（スキャナエンジン）5 2 4 により処理される。そして、処理後の画像データは、CPU 5 2 0 又は DMAC 5 2 8 によりデータ転送制御装置 5 0 0 に送られる。データ転送制御装置 5 0 0 は、このパラレルの画像データをシリアルデータに変換し、USB を介してパーソナルコンピュータなどの他のデバイスに送信する。

【 0 2 2 1 】

図 3 0 (C) に電子機器の 1 つである CD-RW ドライブの内部ブロック図を示し、図 3 1 (C) にその外観図を示す。CPU 5 3 0 はシステム全体の制御などを行う。操作部 5 3 1 は CD-RW をユーザが操作するためのものである。ROM 5 3 6 には制御プログラムなどが格納され、RAM 5 3 7 は CPU 5 3 0 のワーク領域として機能する。DMAC 5 3 8 は DMA コントローラである。

【 0 2 2 2 】

レーザ、モータ、光学系などからなる読み取り&書き込み部（データの取り込み処理を行う装置又はデータの記憶処理を行うための装置）5 3 3 により CD-RW 5 3 2 から読み取られたデータは、信号処理部 5 3 4 に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、CPU 5 3 0 又は DMAC 5 3 8 によりデータ転送制御装置 5 0 0 に送られる。データ転送制御装置 5 0 0 は、このパラレルのデータをシリアルデータに変換し、USB を介してパーソナルコンピュータなどの他のデバイスに送信する。

【 0 2 2 3 】

一方、USB を介して他のデバイスから送られてきたシリアルデータは、データ転送制御装置 5 0 0 によりパラレルのデータに変換される。そして、このパ

ラレルデータは、CPU 530又はDMAC 538により信号処理部534に送られる。そして、信号処理部534においてこのパラレルデータに対して所与の信号処理が施され、読み取り&書き込み部533によりCD-RW 532に記憶される。

【0224】

なお、図30(A)、(B)、(C)において、CPU 510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

【0225】

本実施形態のデータ転送制御装置を電子機器に用いれば、高い転送レートで送られてくる転送データについてもサンプリングできるサンプリングクロックを生成できる。従って、例えばUSB 2.0におけるHSモードでのデータ転送も実現できるようになる。これにより、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。

【0226】

また、本実施形態のデータ転送制御装置を電子機器に用いれば、製造コストが安い通常の半導体プロセスでデータ転送制御装置のICを製造できるようになる。従って、データ転送制御装置の低コスト化を図れ、電子機器の低コスト化も図れるようになる。

【0227】

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ(CD-ROM、DVD)、光磁気ディスクドライブ(MO)、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

【 0 2 2 8 】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 2 2 9 】

例えば、クロック生成回路の構成は、図 1、図 7、図 1 2、図 1 4、図 1 5 など で説明した構成に限定されるものではなく、これらと均等な種々の変形実施が可能である。

【 0 2 3 0 】

また、反転回路、バッファ回路、帰還ライン、ダミーライン、クロックラインの配置手法も、図 2 (A) ～図 1 0、図 2 6 ～図 2 9 で説明した手法に限定されるものではなく、これらと均等な種々の変形実施が可能である。

【 0 2 3 1 】

また、反転回路及びバッファ回路の段数も 5 段に限定されない。

【 0 2 3 2 】

また、本発明のデータ転送制御装置の構成も、図 1 1 に示す構成に限定されるものではない。

【 0 2 3 3 】

また、エッジ検出回路、クロック選択回路の構成も図 1 9 に示す構成に限定されるものではない。例えば、エッジ検出回路は、少なくとも、データのエッジを検出し、そのエッジ検出情報をクロック選択回路に出力できるような構成であればよい。

【 0 2 3 4 】

また、多相クロックの数 N も 5 個に限定されるものではない。例えば、クロック生成回路の製造に使用する半導体プロセスが最新のプロセスである場合には、反転回路の信号遅延値や保持回路のセットアップタイム、ホールドタイムも短くできる。従って、この場合には、クロック数 N を 5 よりも大きくすることができる。

【 0 2 3 5 】

また、本発明は、U S B 2 . 0 でのデータ転送に適用されることが特に望まし

いが、これに限定されるものではない。例えばU S B 2 . 0 と同様の思想に基づく規格やU S B 2 . 0 を発展させた規格におけるデータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図 1】

クロック生成回路の構成例を示す図である。

【図 2】

図 2 (A) は、本実施形態での反転回路、バッファ回路の配置手法について説明するための図であり、図 2 (B) は、比較例での反転回路、バッファ回路の配置手法について説明するための図である。

【図 3】

反転回路とバッファ回路の間の領域に帰還ラインを配置する手法について説明するための図である。

【図 4】

反転回路とバッファ回路の間の領域に帰還ライン及びダミーラインを配置する手法について説明するための図である。

【図 5】

バッファ回路の配置場所を入れ替える手法について説明するための図である。

【図 6】

図 6 (A) 、 (B) は、バッファ回路の配置場所を入れ替える手法について説明するためのタイミング波形図である。

【図 7】

クロック生成回路の他の構成例を示す図である。

【図 8】

図 8 (A) は、本実施形態での反転回路、バッファ回路の配置手法について説明するための図であり、図 8 (B) は、比較例での反転回路、バッファ回路の配置手法について説明するための図である。

【図 9】

反転回路とバッファ回路の間の領域に帰還ラインペアを配置する手法について

説明するための図である。

【図 1 0】

反転回路とバッファ回路の間の領域に帰還ラインペア及びダミーラインペアを配置する手法について説明するための図である。

【図 1 1】

本実施形態のデータ転送制御装置の構成例を示す図である。

【図 1 2】

本実施形態のクロック生成回路の構成例を示す図である。

【図 1 3】

図 1 3 (A)、(B) は、本実施形態の動作について説明するためのタイミング波形図である。

【図 1 4】

H S P L L の構成例を示す図である。

【図 1 5】

V C O の構成例を示す図である。

【図 1 6】

図 1 6 (A)、(B) は、差動出力コンパレータ（反転回路）の構成例を示す図である。

【図 1 7】

反転回路の構成例を示す図である。

【図 1 8】

シングルエンド出力コンパレータ（バッファ回路）の構成例を示す図である。

【図 1 9】

エッジ検出回路、クロック選択回路の構成例を示す図である。

【図 2 0】

本実施形態の動作について説明するためのタイミング波形図である。

【図 2 1】

本実施形態の動作について説明するためのタイミング波形図である。

【図 2 2】

クロック数Nの設定手法について説明するための図である。

【図 2 3】

図 2 3 (A)、(B) も、クロック数Nの設定手法について説明するための図である。

【図 2 4】

図 2 4 (A)、(B) は、クロックの選択手法 (Mの設定手法) について説明するための図である。

【図 2 5】

エラスティシティバッファの構成例を示す図である。

【図 2 6】

反転回路DCP0～4、バッファ回路SCP0～4の配置手法について説明するための図である。

【図 2 7】

クロックラインの配線手法について説明するための図である。

【図 2 8】

多相クロック生成回路側でのクロックラインの配線手法について説明するための図である。

【図 2 9】

サンプリングクロック生成回路側でのクロックラインの配線手法について説明するための図である。

【図 3 0】

図 3 0 (A)、(B)、(C) は、種々の電子機器の内部ブロック図の例である。

【図 3 1】

図 3 1 (A)、(B)、(C) は、種々の電子機器の外観図の例である。

【符号の説明】

IV0～4 反転回路
BF0～4 バッファ回路
CK0～4 クロック

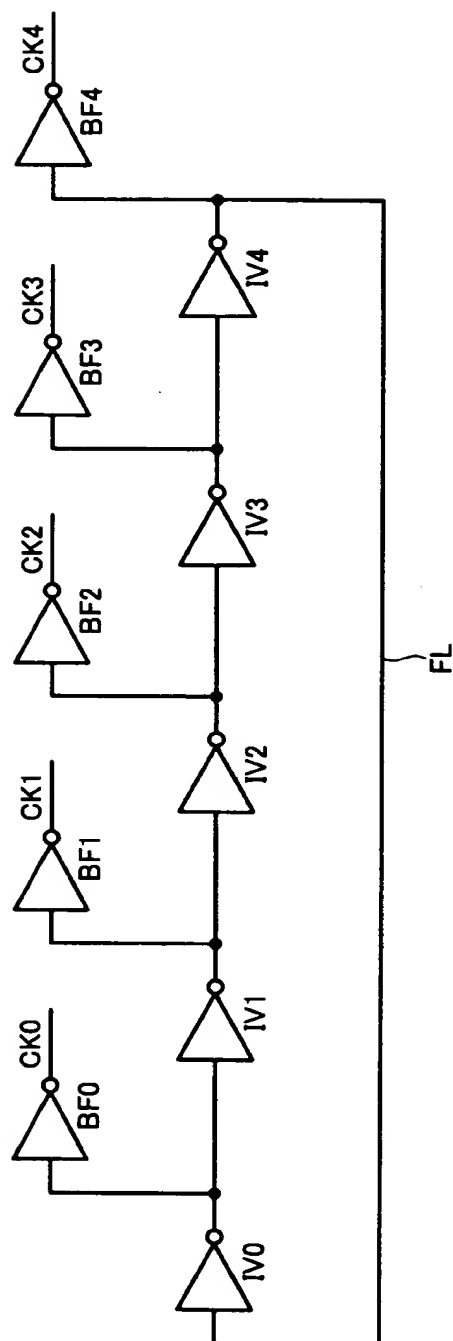
FL	帰還ライン
DL0～4	ダミーライン
LI0～4	ライン
LB0～4	ライン
DCP0～4	反転回路
SCP0～4	バッファ回路
FLA、FLB	帰還ラインペア
DLA0～3、DLB0～3	ダミーラインペア
TPT0～4	折り返し地点
10	HSDL回路（サンプリングクロック生成回路）
12	エラスティシティバッファ
20	発振回路
22	HSPLL
24	FSPLL
50	データ保持レジスタ（データ保持回路）
52	データステータスレジスタ（データステータス保持回路）
54	書き込みパルス生成回路（書き込みパルス生成回路）
60	判断回路（判断回路）
62	ステートマシーン
64	バッファ
66	セレクタ（出力回路）
70	エッジ検出回路
72	クロック選択回路
80	位相比較器
82	チャージポンプ回路
84	フィルタ回路
86	VCO（発振回路）
88	分周器
100	クロック生成回路

- 4 0 0 データハンドラ回路
- 4 1 0 H S 回路
- 4 2 0 F S 回路
- 4 3 0 アナログフロントエンド回路
- 4 4 0 多相クロック生成回路
- 4 5 0 クロック制御回路

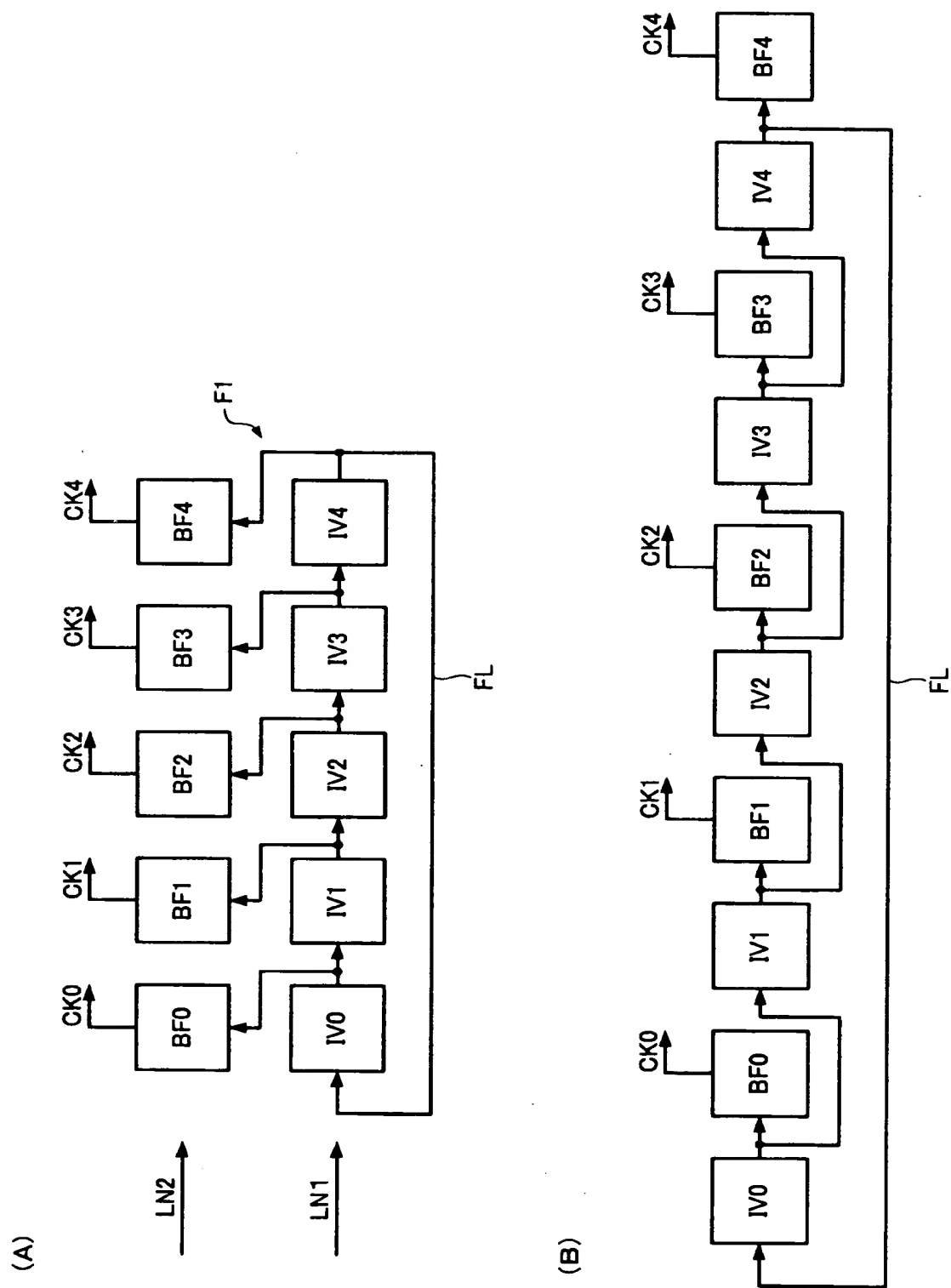
【書類名】

図面

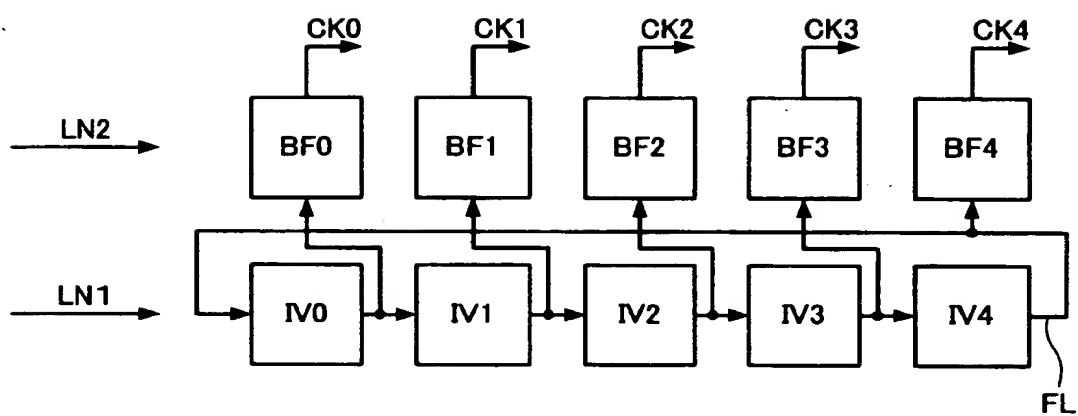
【図 1】



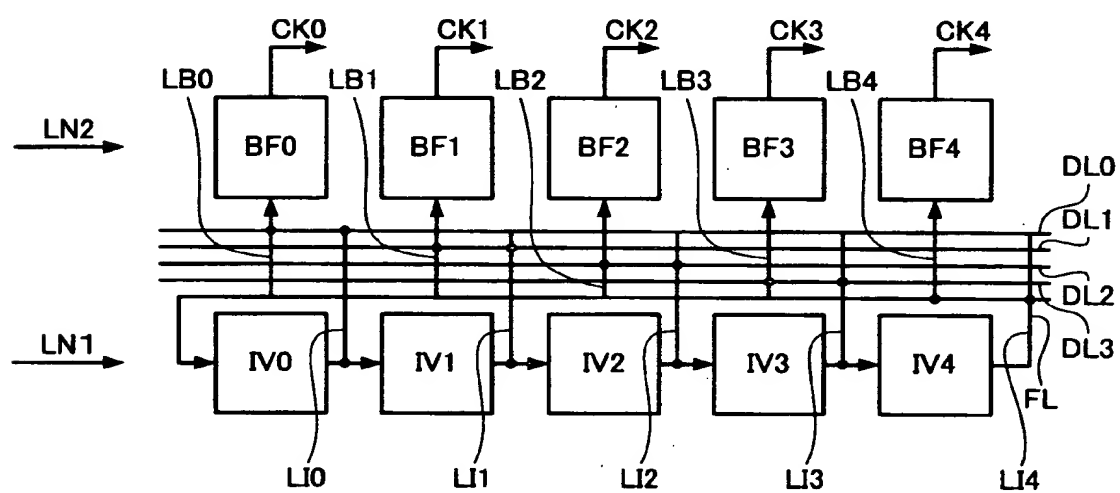
【図 2】



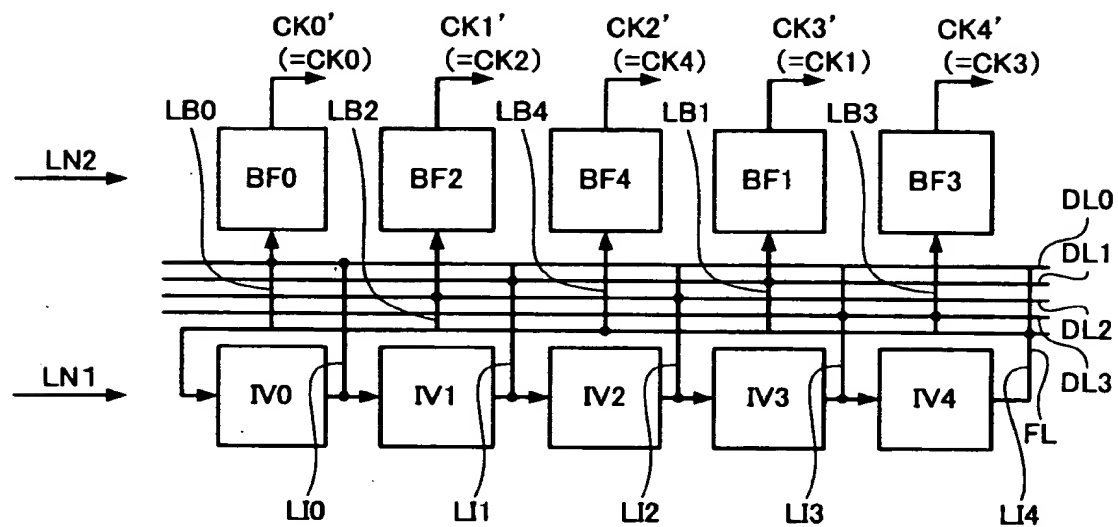
【図 3】



【図 4】

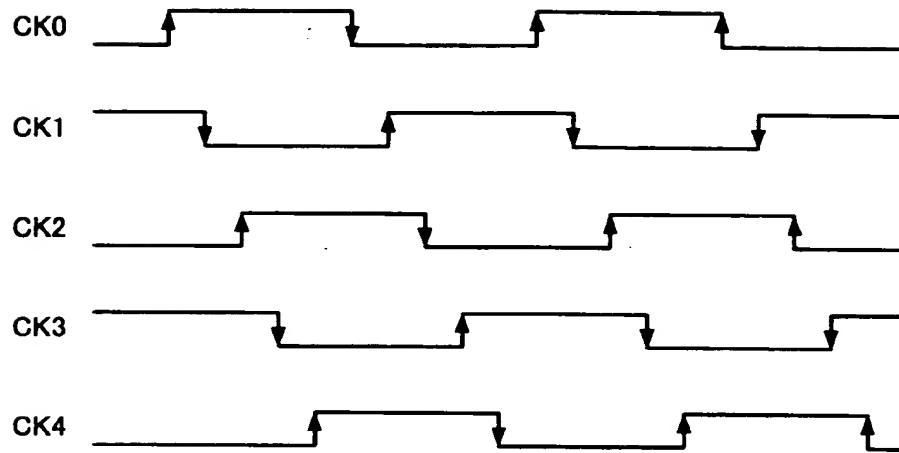


【図 5】

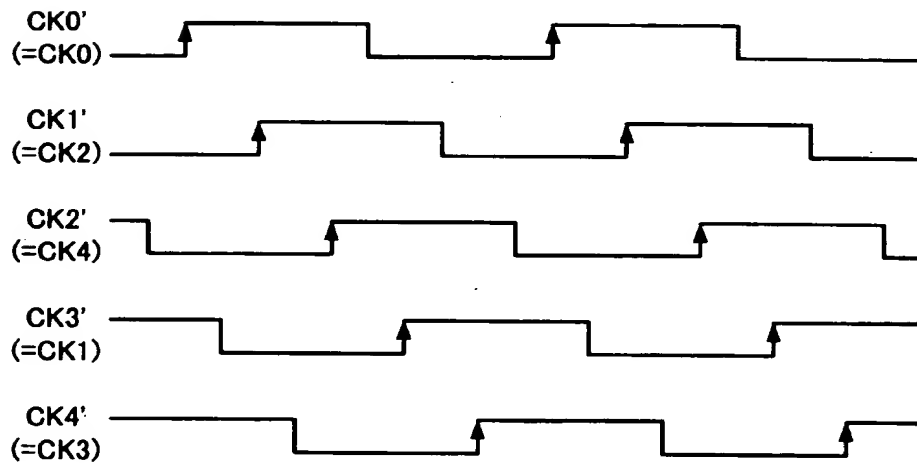


【図 6】

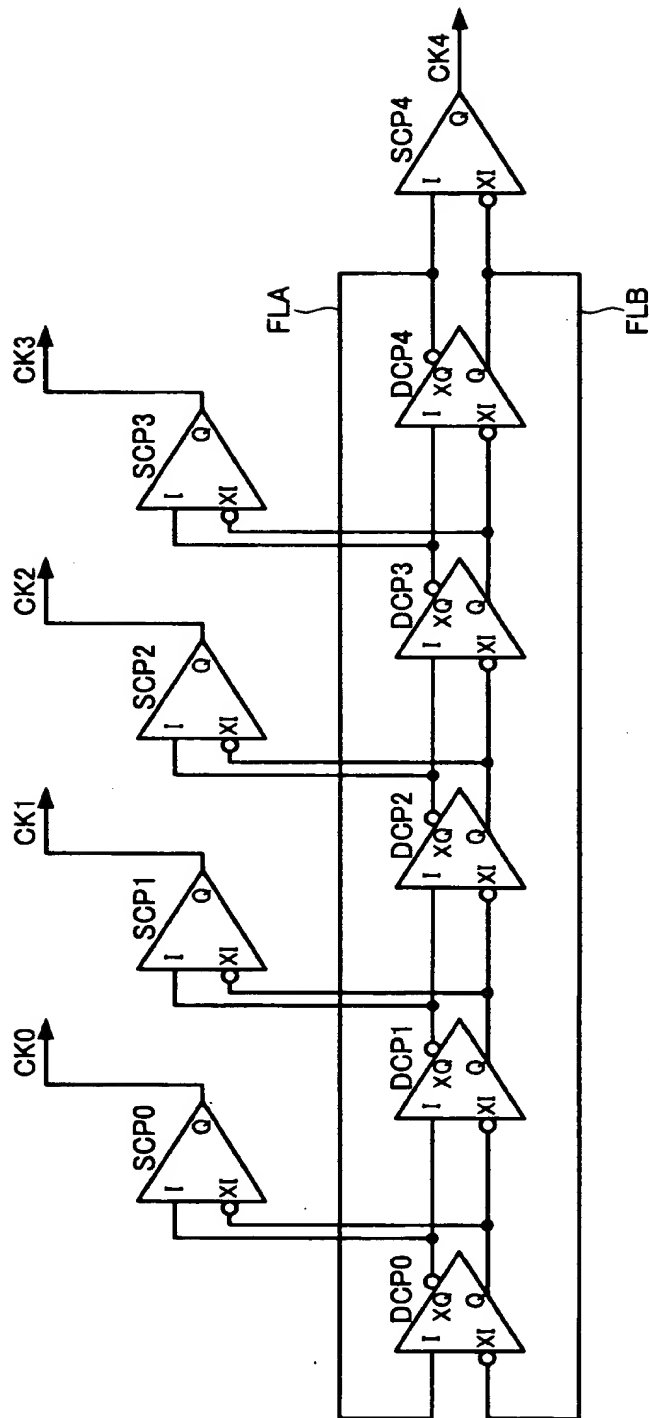
(A)



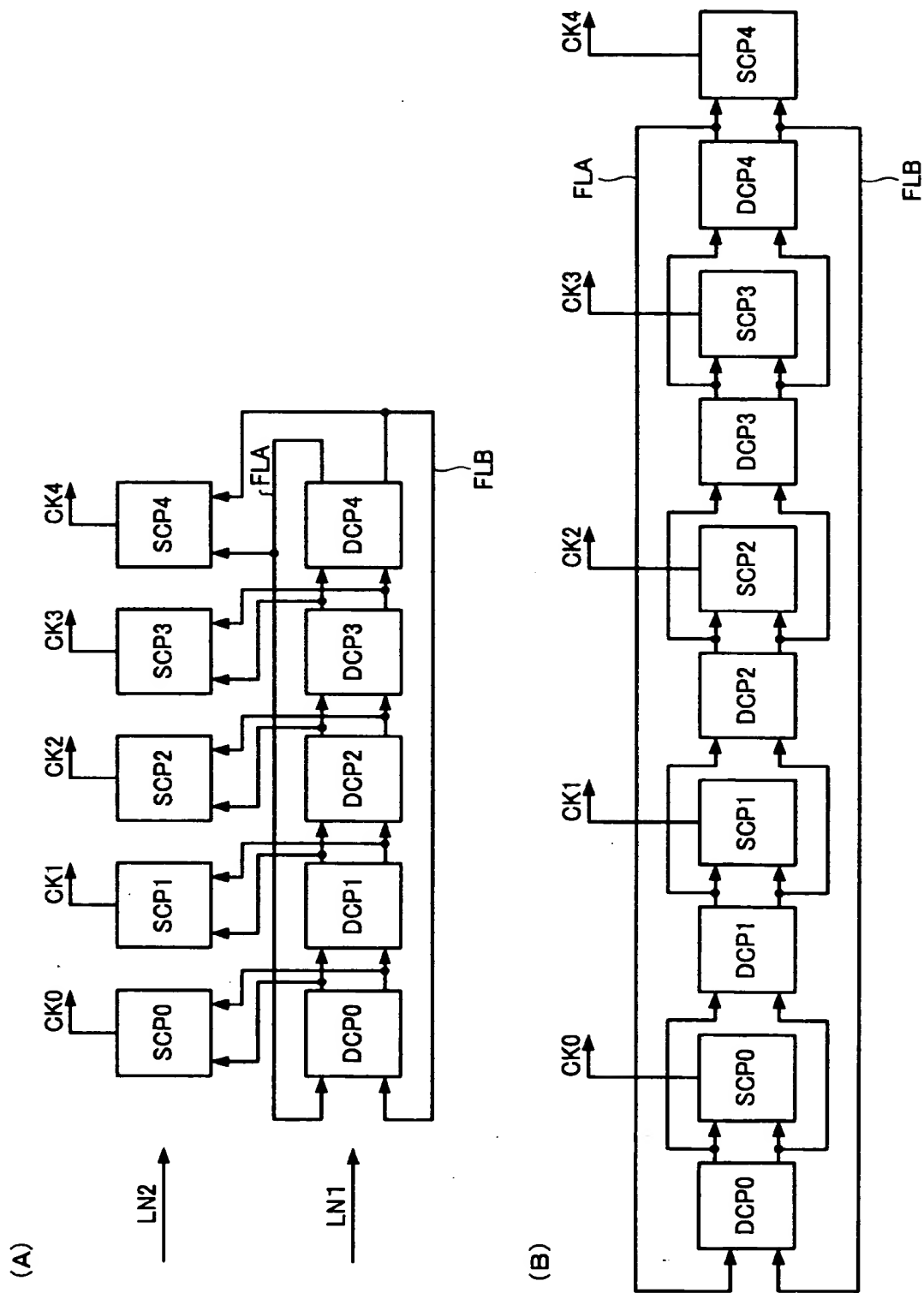
(B)



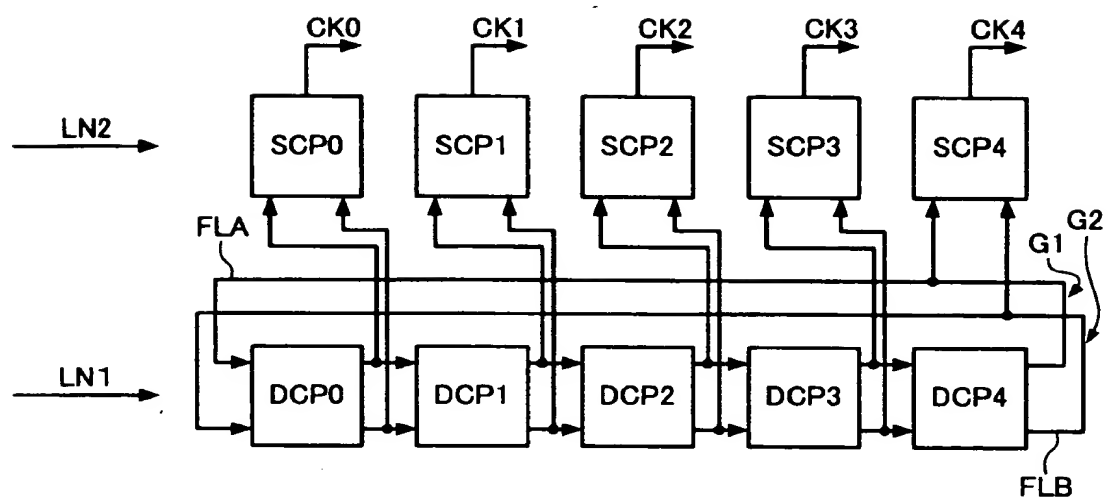
【図 7】



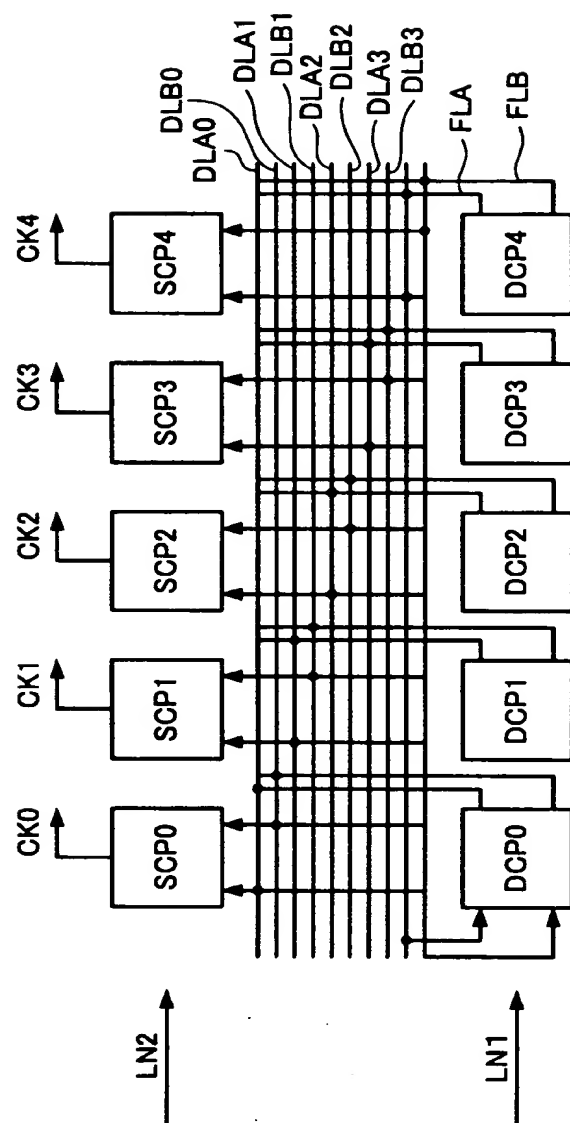
【図 8】



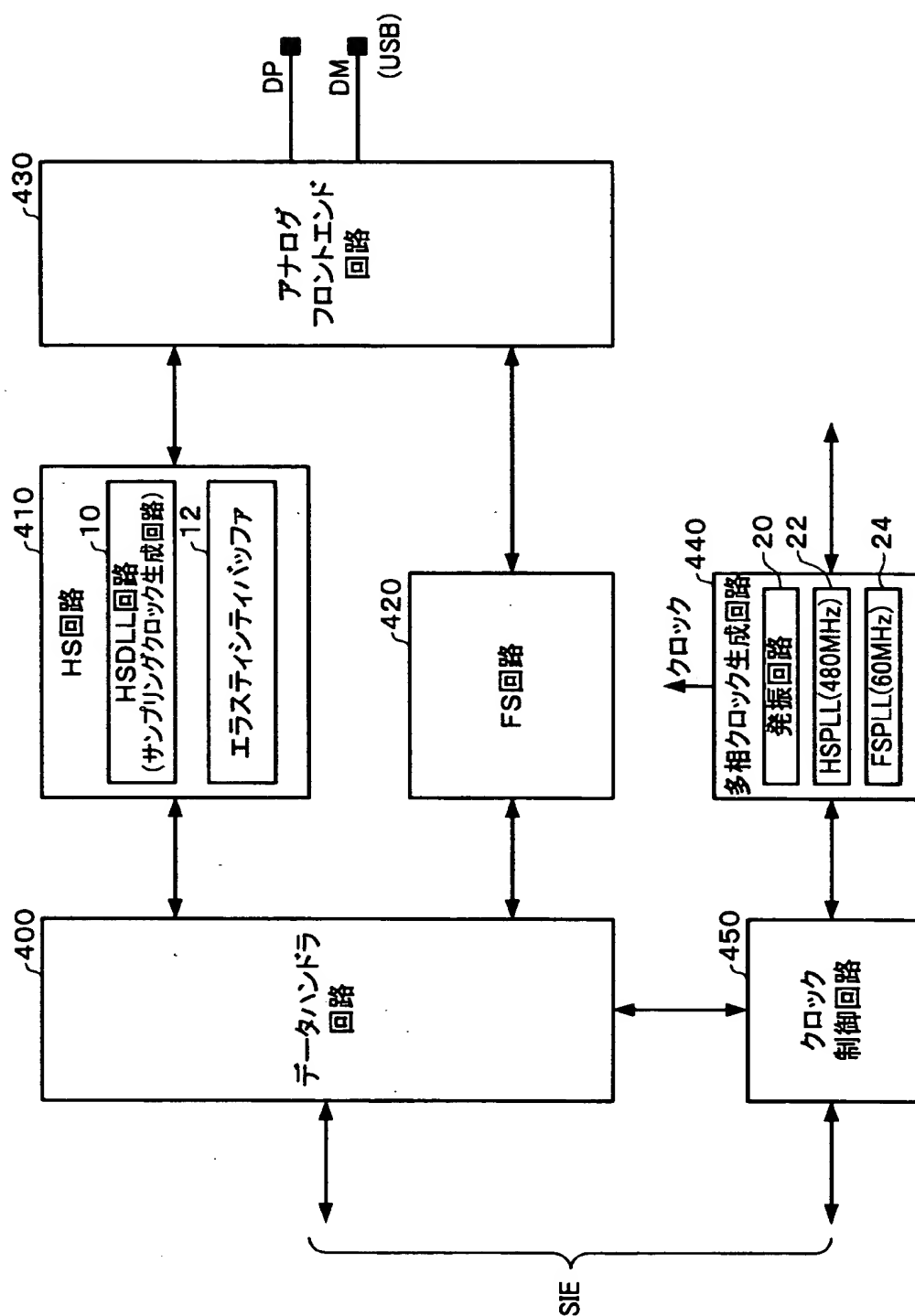
【図 9】



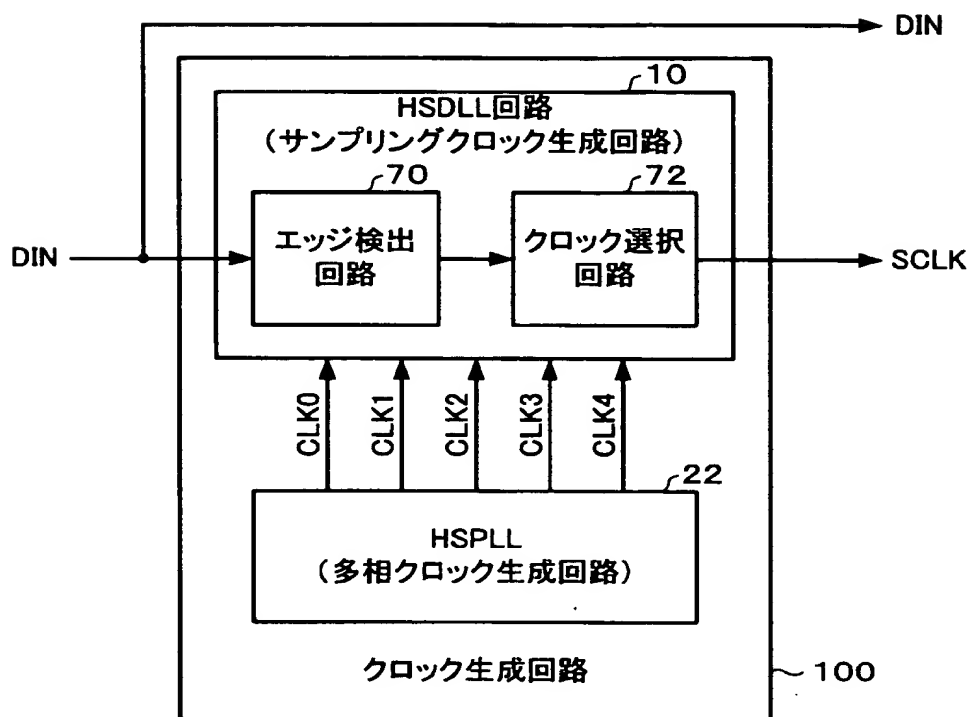
【図 1 0】



【図 11】

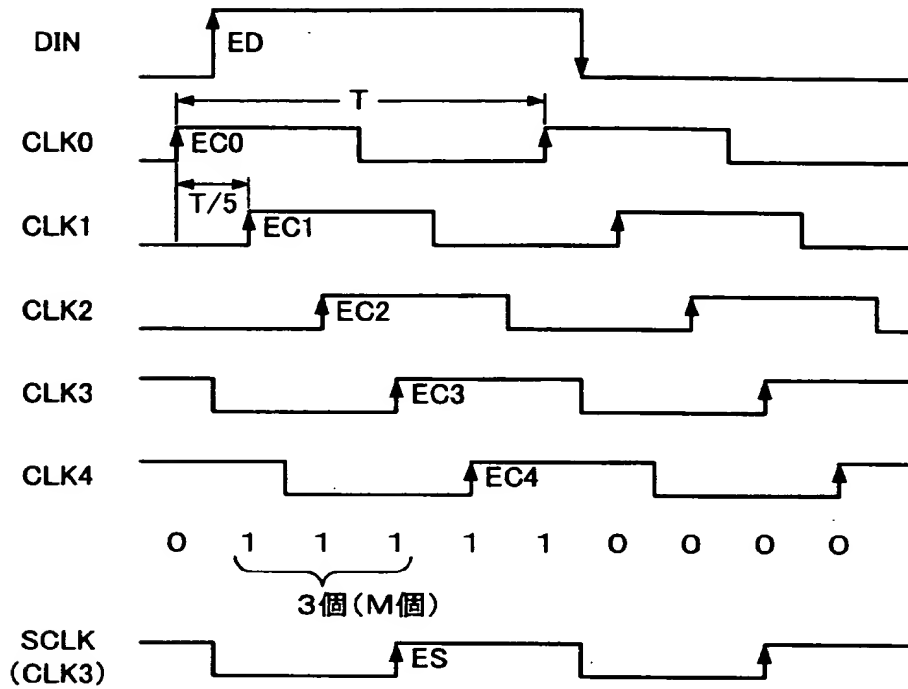


【図12】

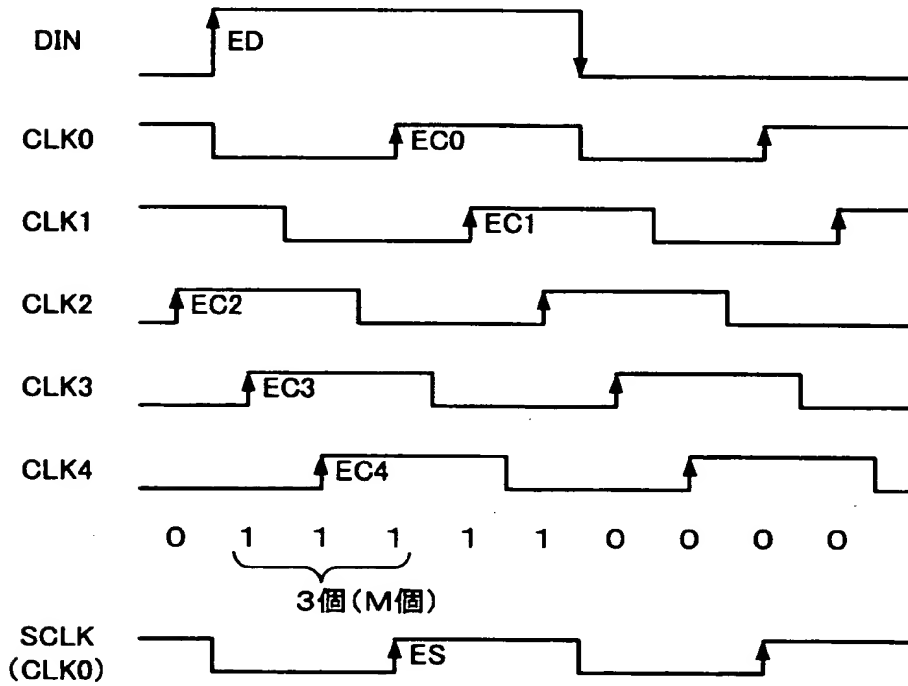


【図 13】

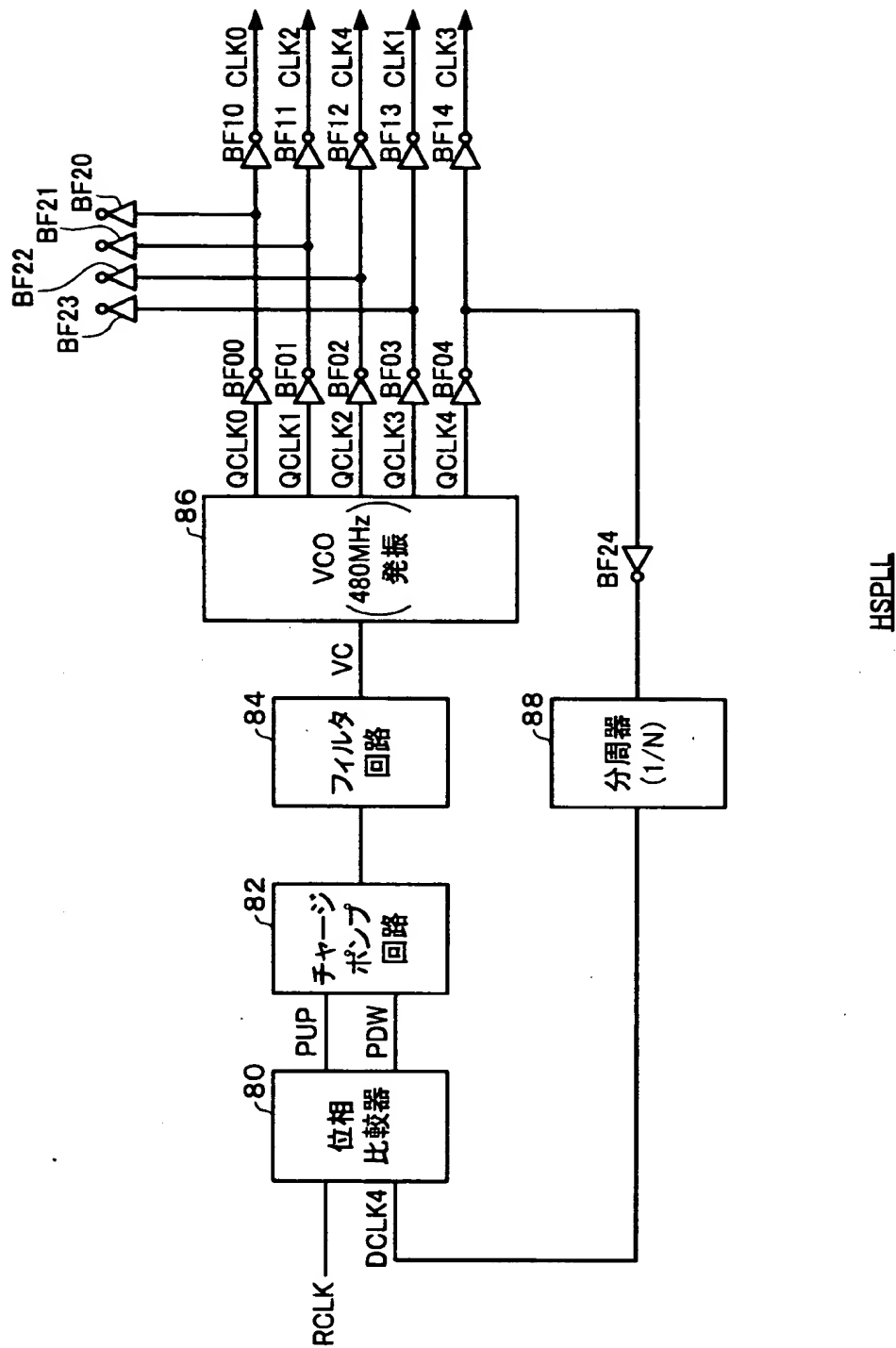
(A)



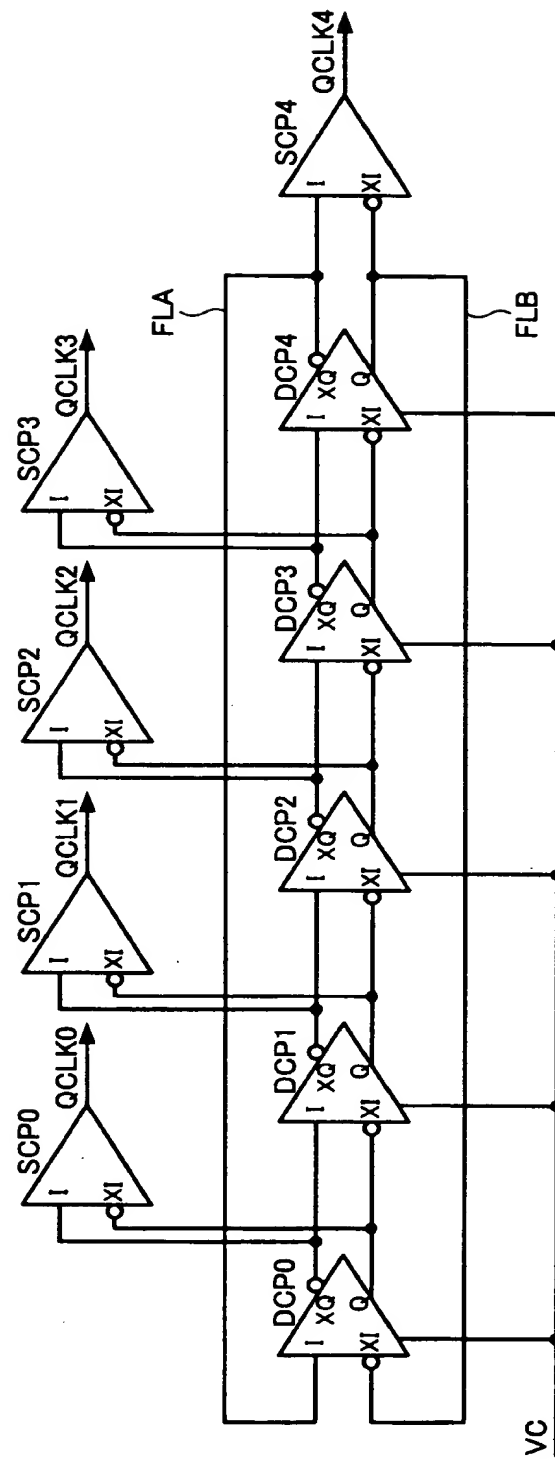
(B)



【図 14】

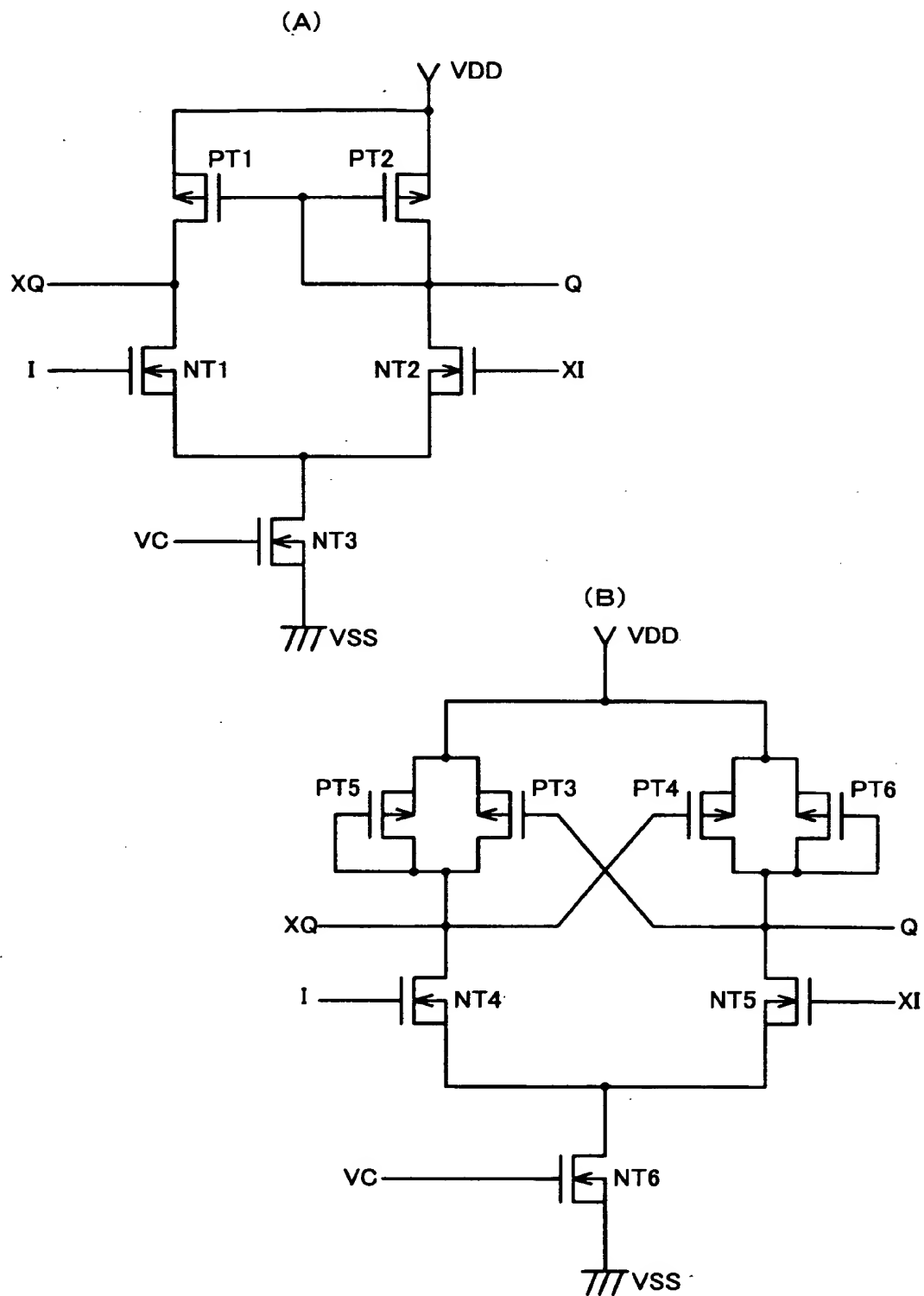


【図 15】

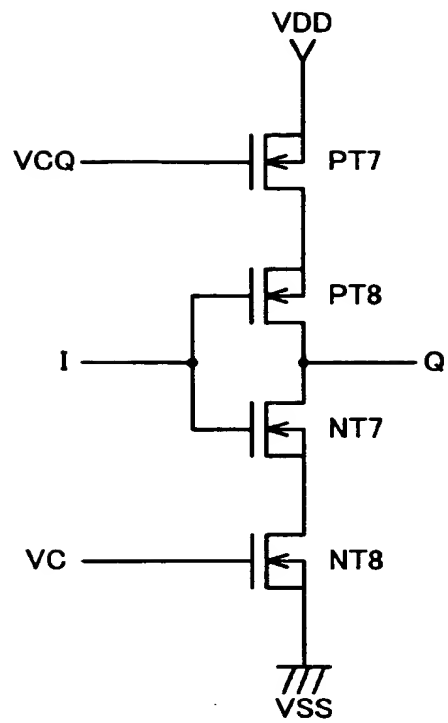


VCQ

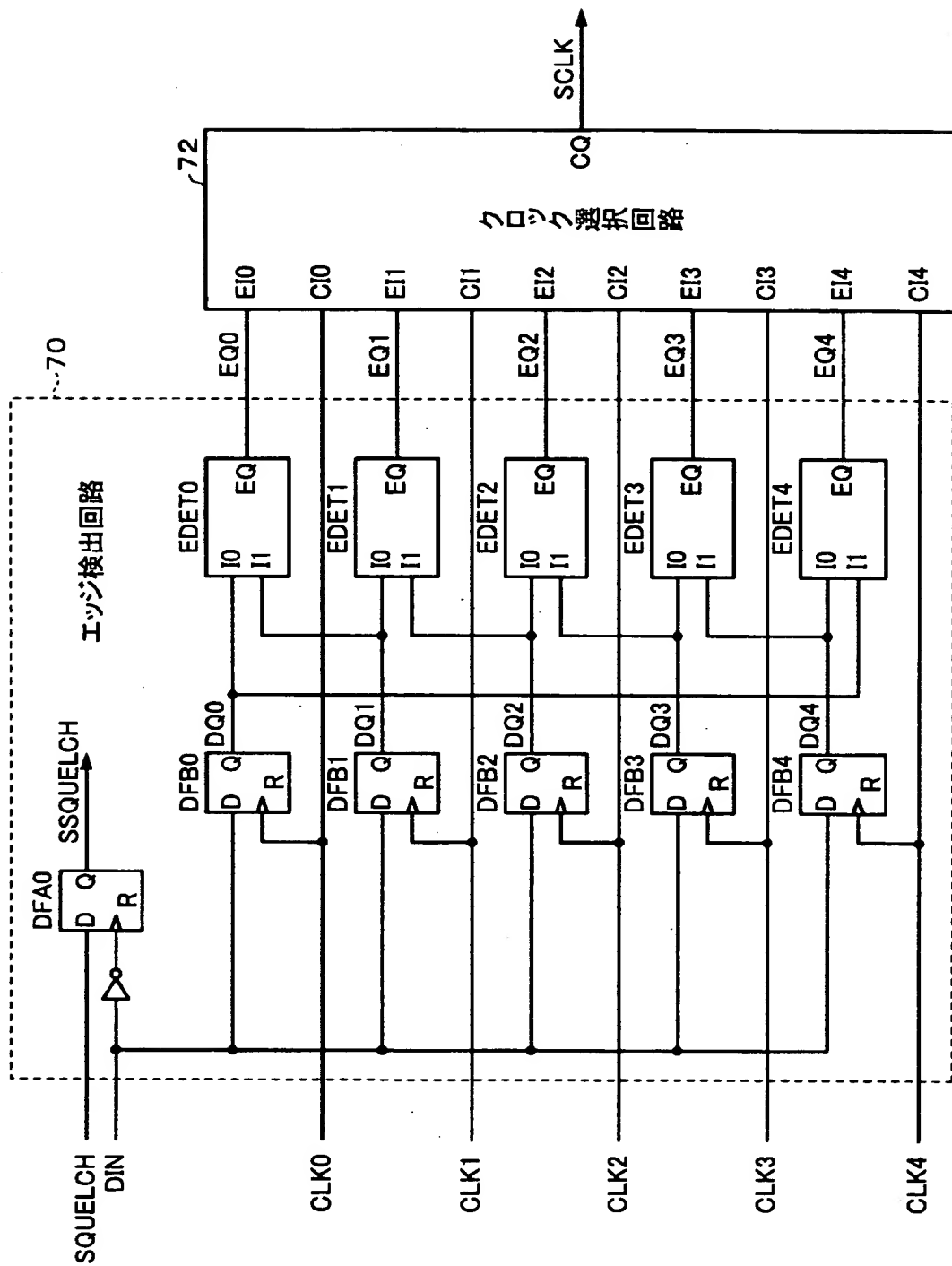
【図 16】



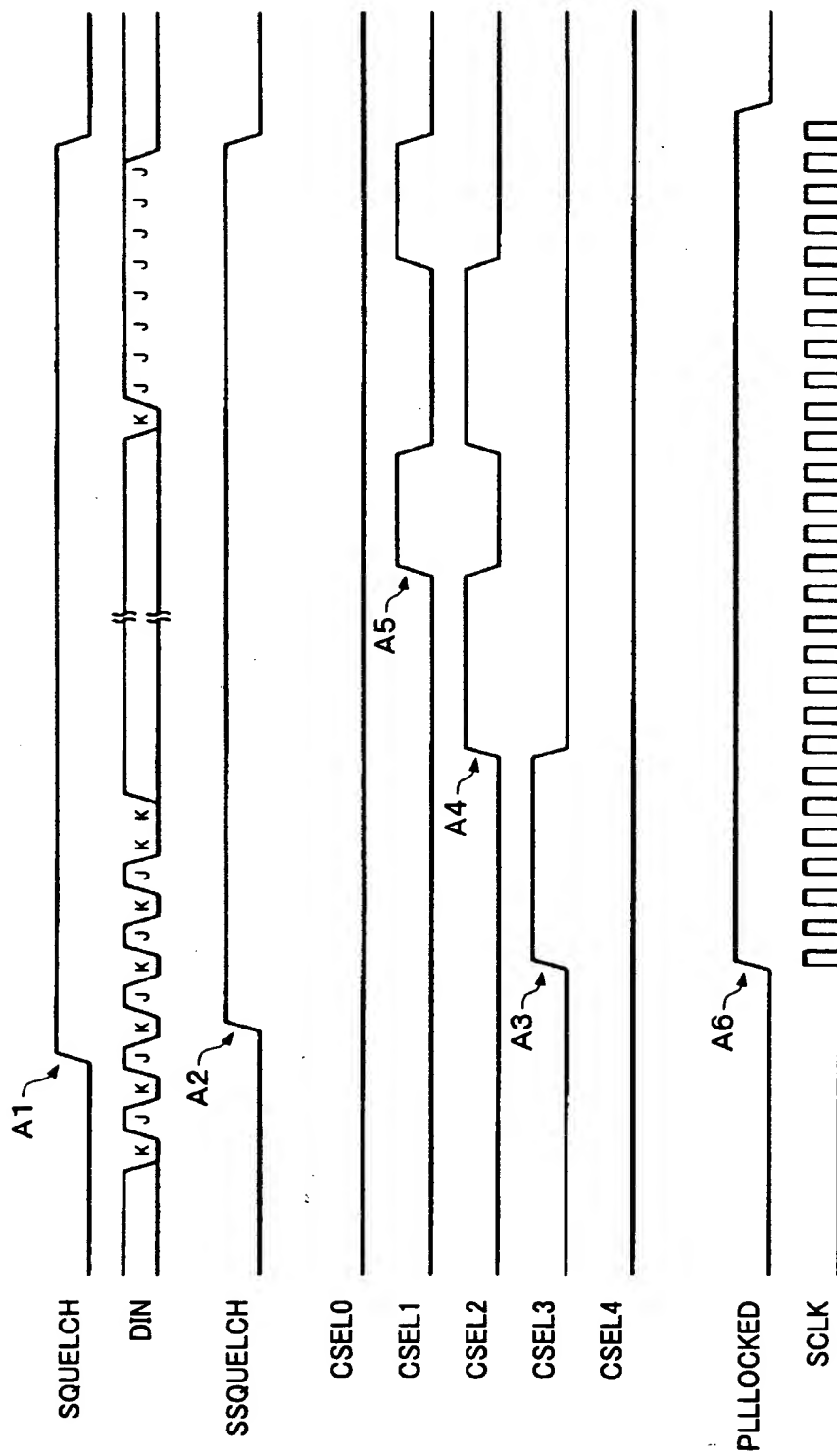
【図 17】



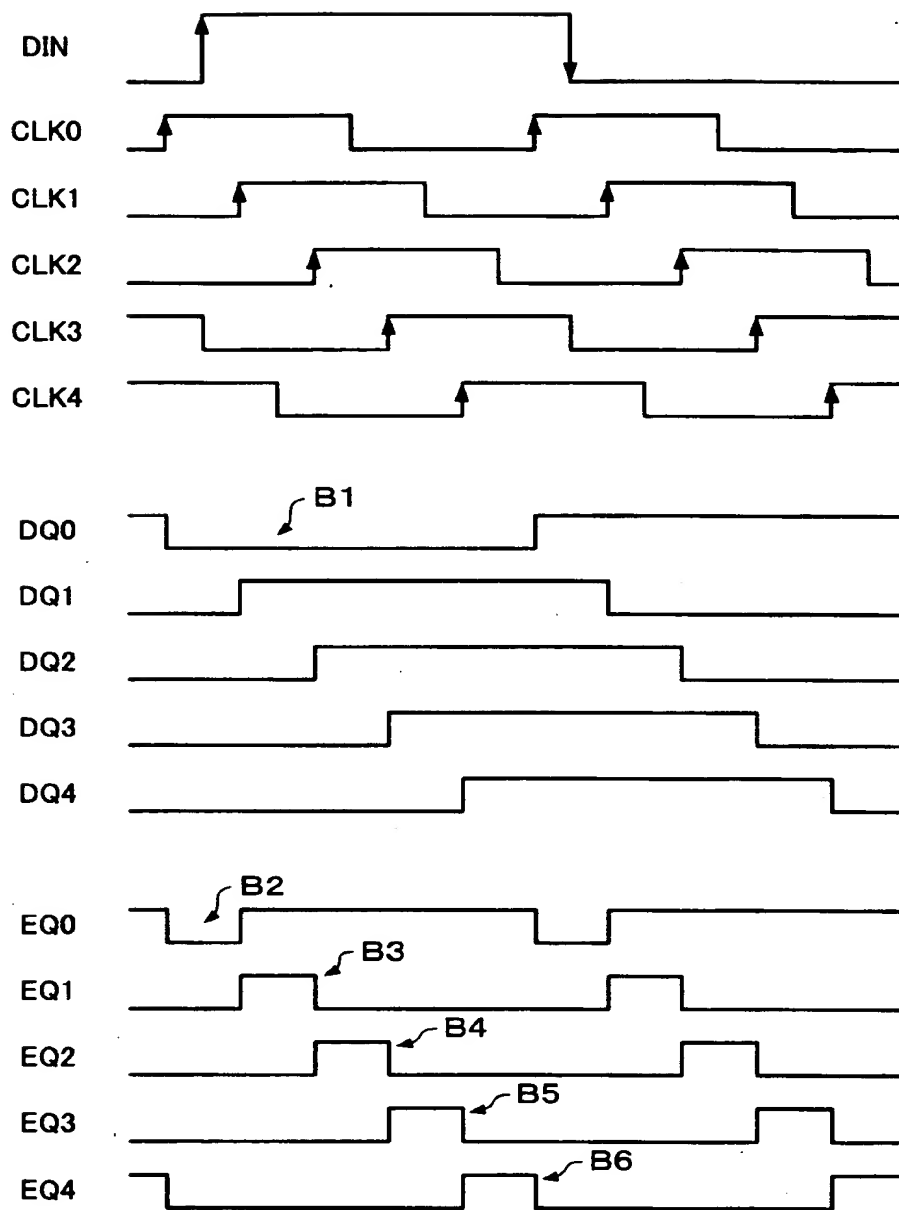
【図 19】



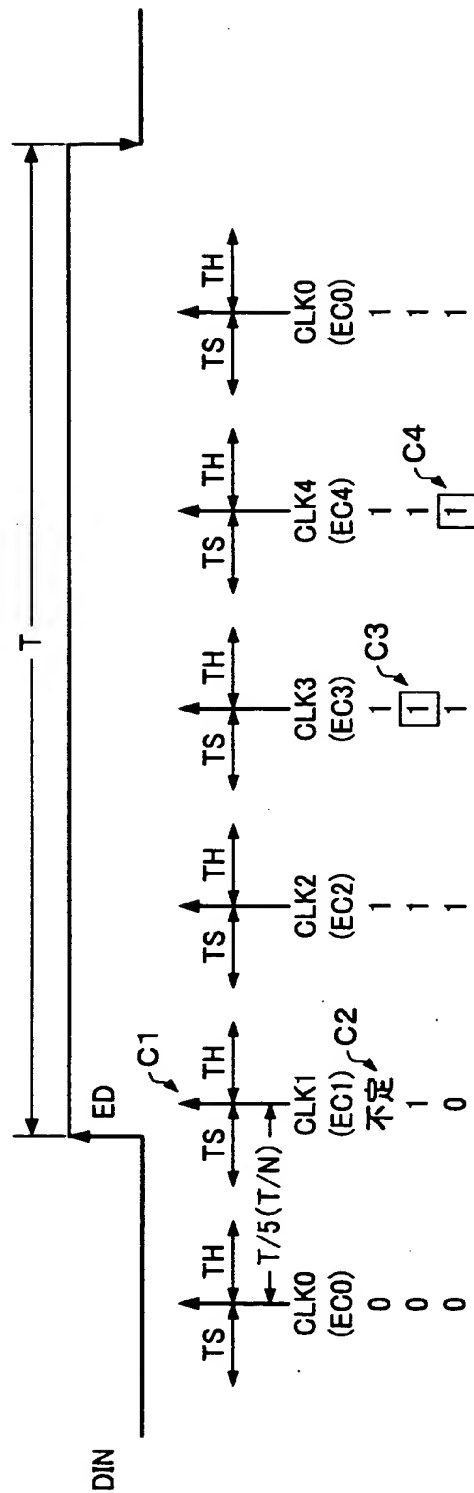
【図 20】



【図 21】

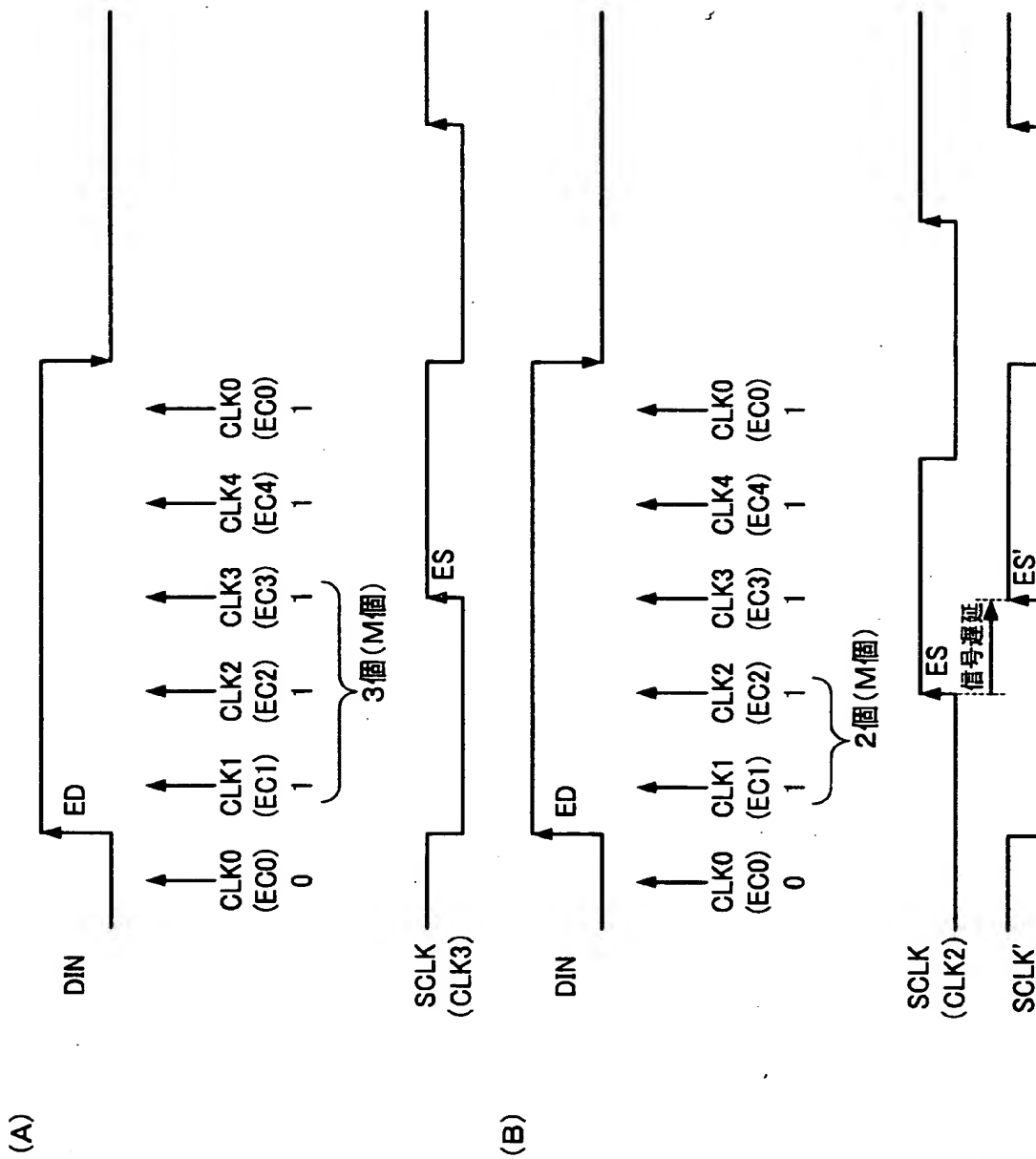


【図 22】

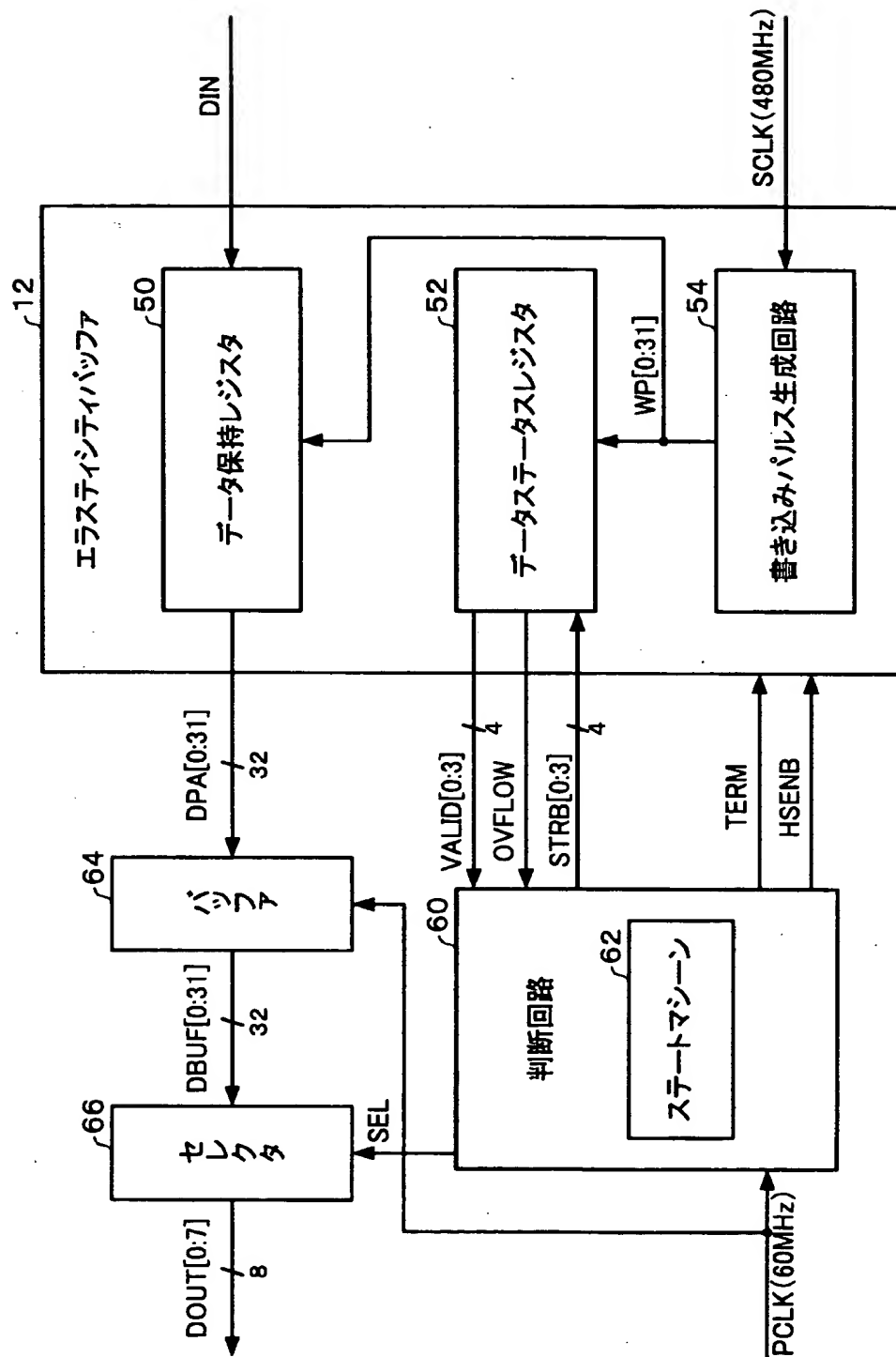


$$\frac{T}{N} > TS + TH \Rightarrow N < \frac{T}{TS + TH} (N \leq \left\lfloor \frac{T}{TS + TH} \right\rfloor)$$

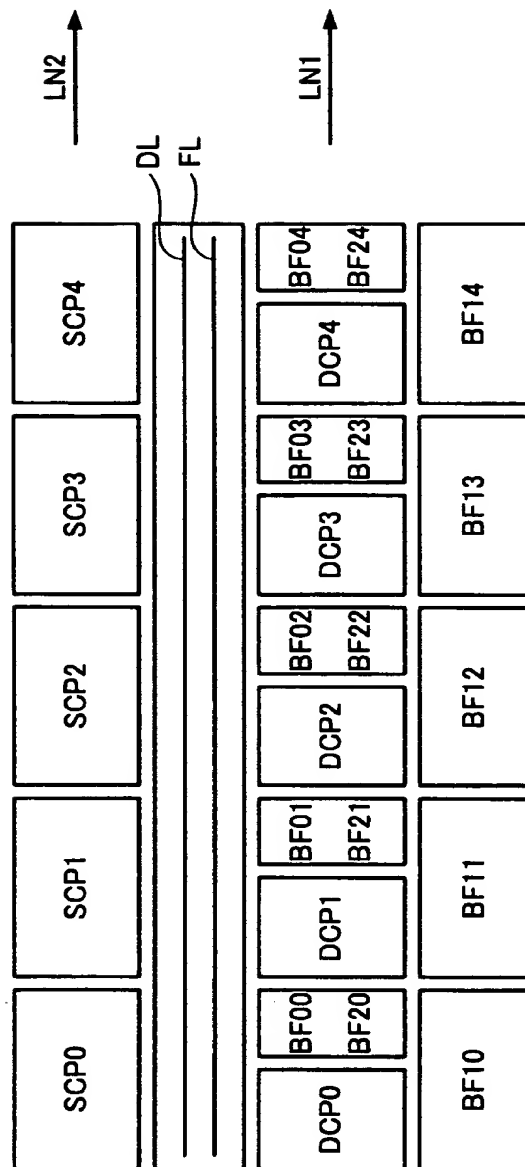
【図 24】



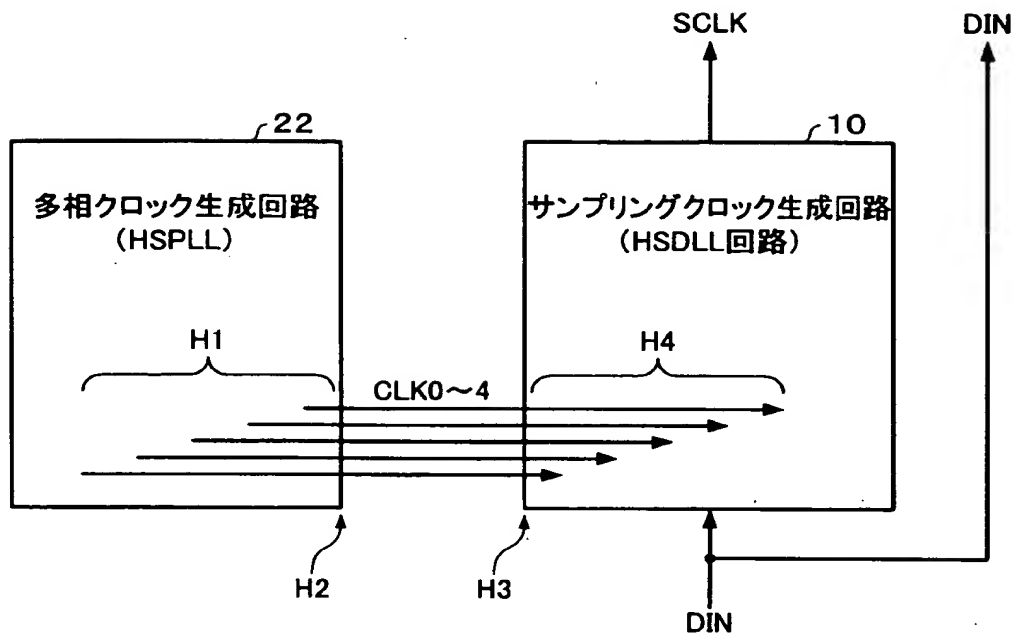
【図 25】



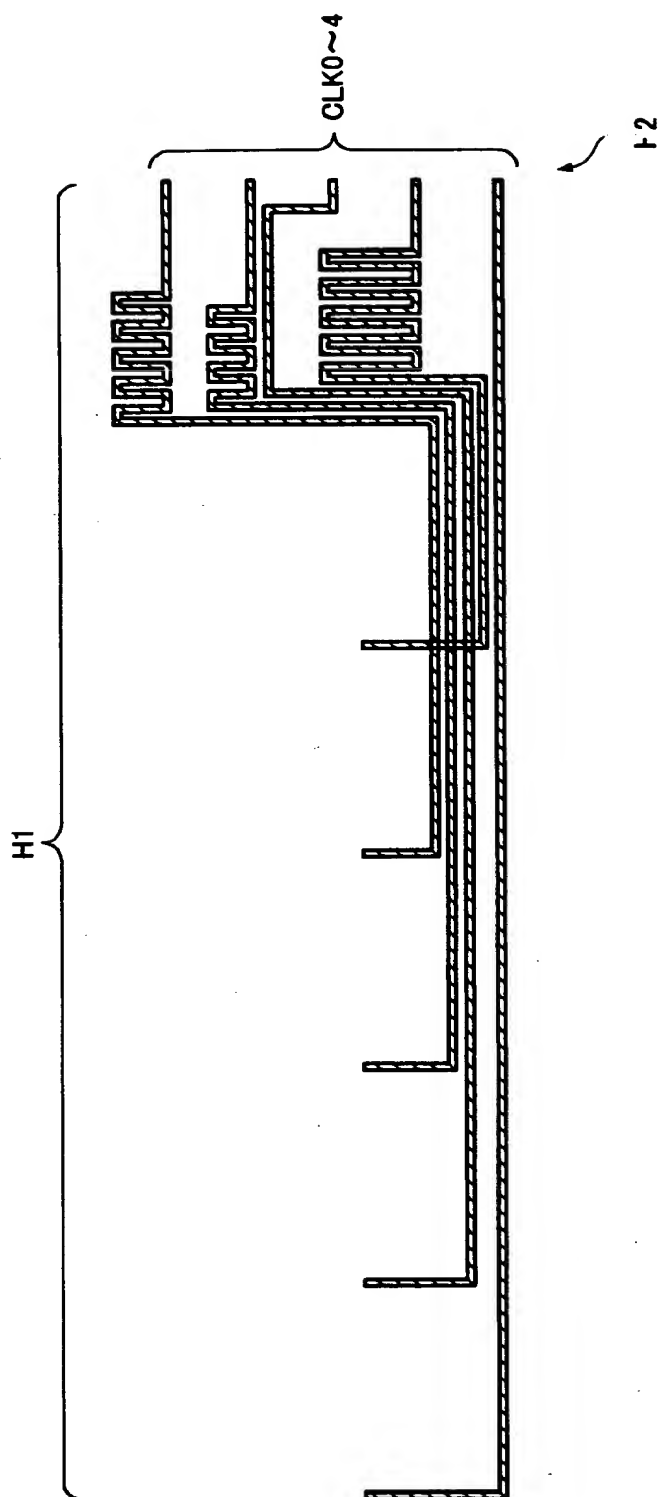
【図 26】



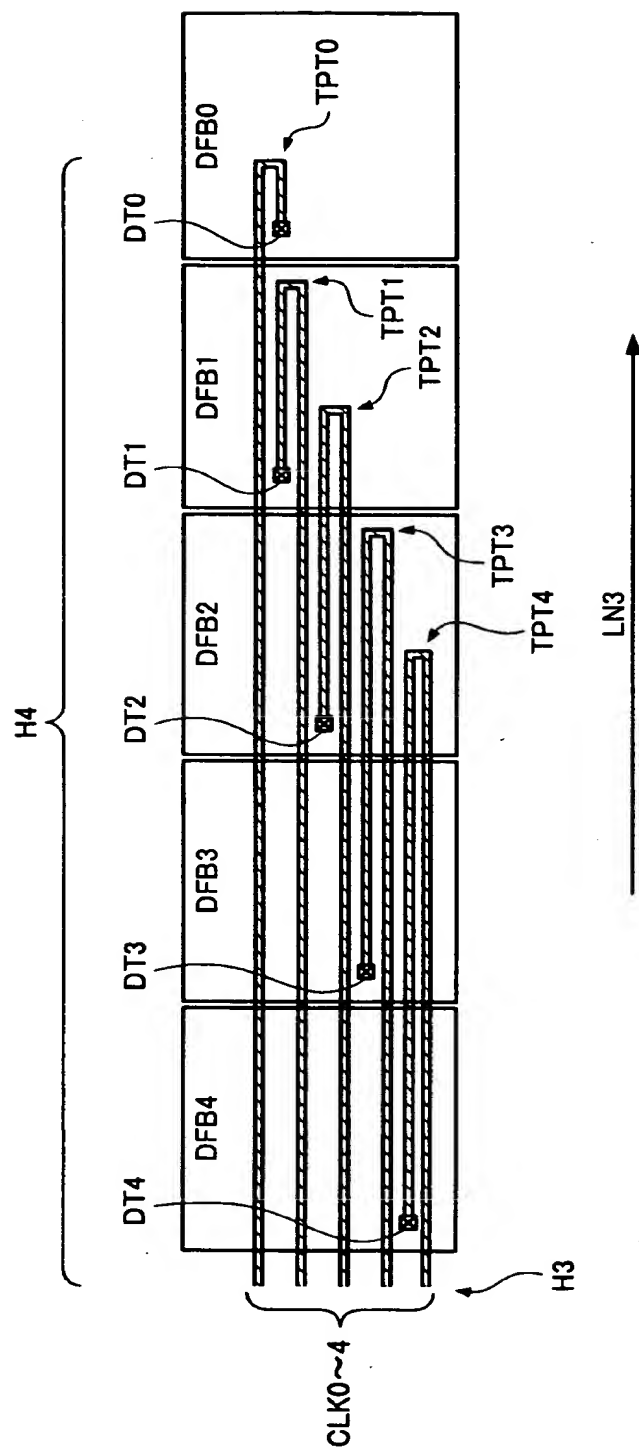
【図 2 7】



【図 2 8】

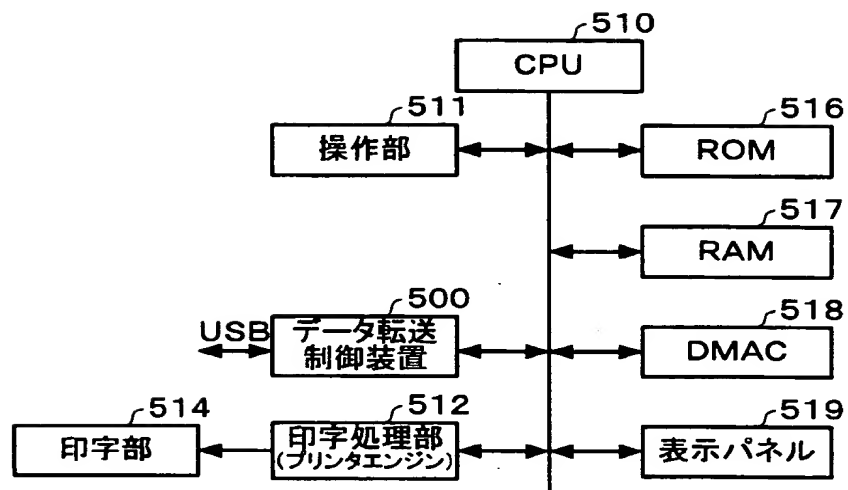


【圖 29】

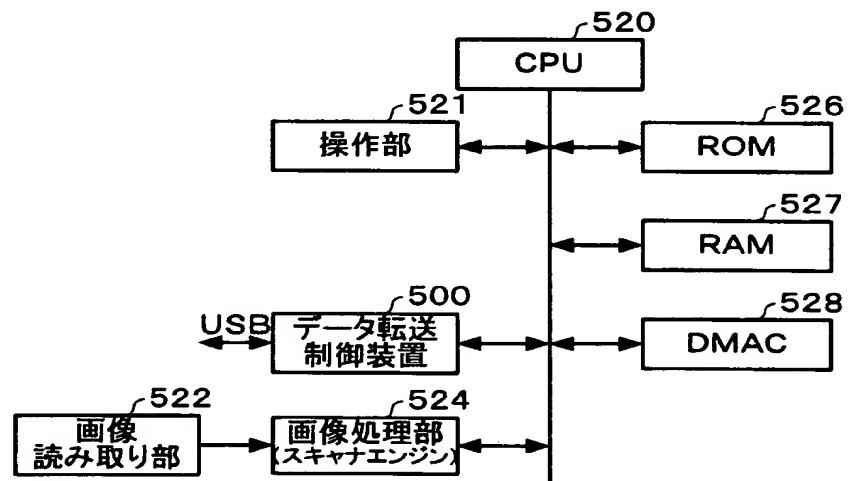


【図 30】

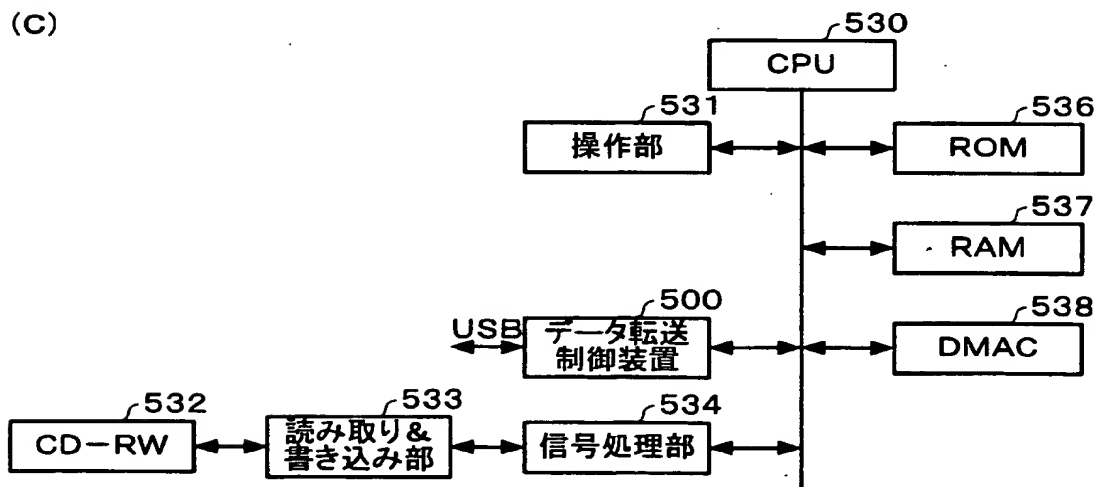
(A)



(B)

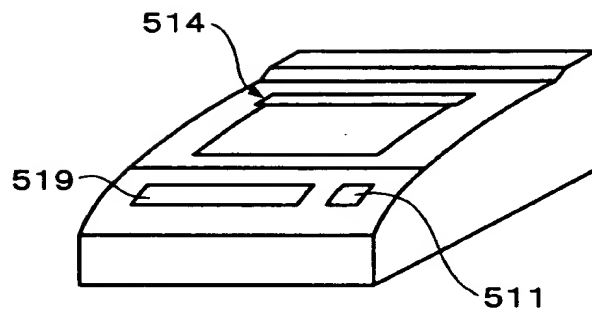


(C)

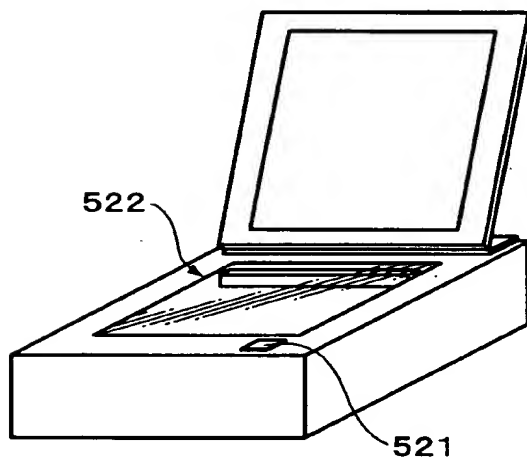


【図 3 1】

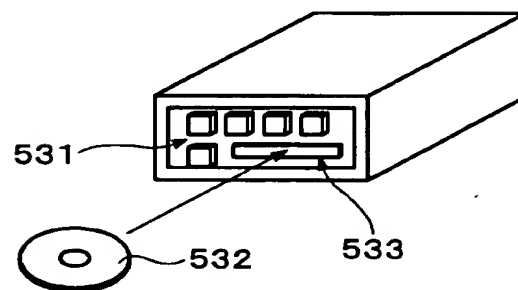
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 高い周波数のクロックを簡素な回路構成で生成できるクロック生成回路及びこれを用いたデータ転送制御装置、電子機器を提供すること。

【解決手段】 クロック生成回路は、帰還ラインFLを介してIV4の出力がIV0に入力される直列接続の反転回路IV0～4とIV0～4の出力が入力されるバッファ回路BF0～4を含む。反転回路IV0～4を行LN1に沿って配置し、バッファ回路BF0～4をFLに平行で且つLN1とは異なる行LN2に沿って配置する。帰還ラインFLと同等の寄生容量を有するダミーラインDL0～3を反転回路IV0～3に接続し、クロックCK0～4の位相差を均等にする。帰還ラインFL及びダミーラインDL0～3を反転回路IV0～4とバッファ回路BF0～4の間の領域に配置する。多相クロックのエッジの中のいずれのエッジ間にデータ（USB2.0のHSモードのデータ）のエッジがあるかを検出し、エッジ検出情報に基づき選択したクロックをサンプリングクロックにする。

【選択図】 図4

認定・付加情報

特許出願の番号	特願2001-098349
受付番号	50100468050
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 4月 4日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100090479

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM
ビル2階 井上・布施合同特許事務所

【氏名又は名称】 井上 一

【選任した代理人】

【識別番号】 100090387

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM
ビル2階 井上・布施合同特許事務所

【氏名又は名称】 布施 行夫

【選任した代理人】

【識別番号】 100090398

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM
ビル2階 井上・布施合同特許事務所

【氏名又は名称】 大瀨 美千栄

特 2001-098349

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社